

# Ein FPGA-basiertes System-on-Chip in der Echtzeitbildverarbeitung

GI Workshop Echtzeit  
Boppard 19. Nov. 2010  
B. Schwarz

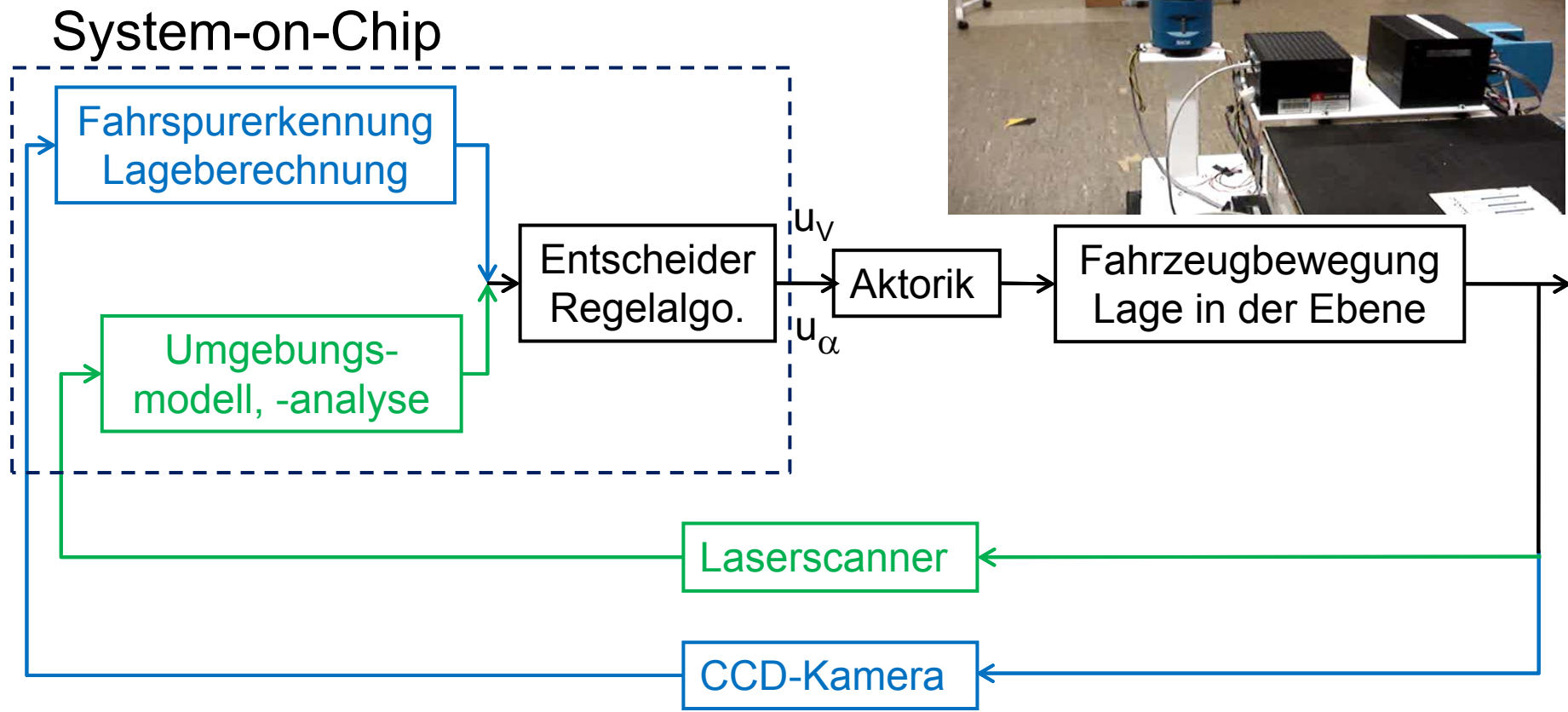
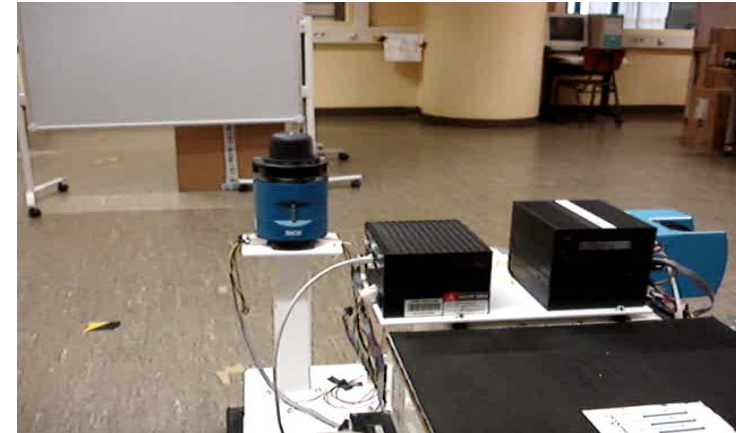
# Übersicht

- ▶ Ziel: SoC-Technologiedurchdringung für eingebette Systeme
- ▶ Ausgangspunkt des Projektes
- ▶ SoC-Entwurf
- ▶ FPGA-Plattform:  $\mu\text{C}$  + Beschleuniger + RTOS
- ▶ Fahrspurerkennung: Geradenapproximation
- ▶ Bildverarbeitungspipeline
- ▶ Ergebnisse
- ▶ Timinganalyse der HW-SW-Kommunikation
- ▶ Zusammenfassung

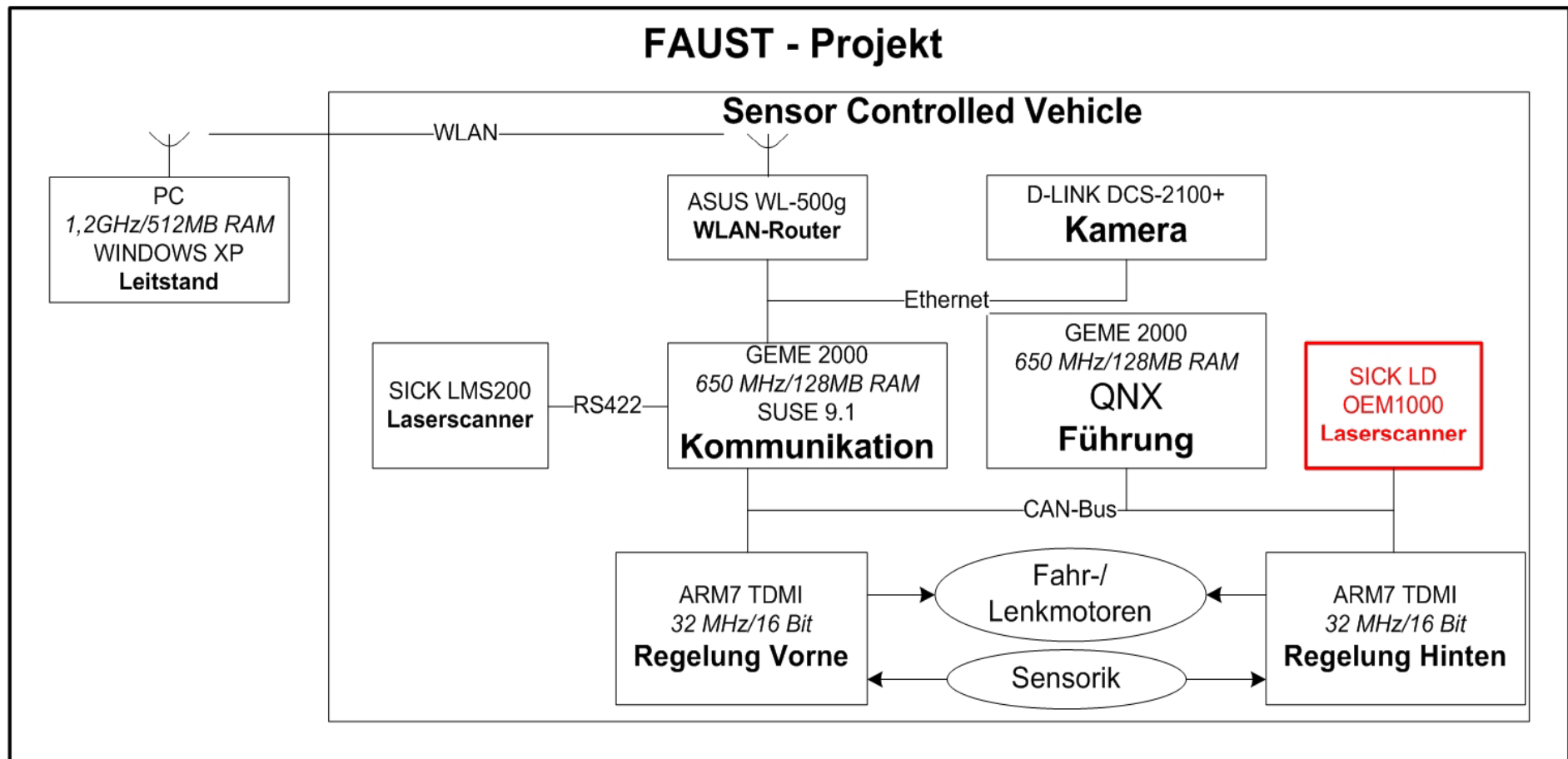
## Ziel: SoC-Technologiedurchdringung

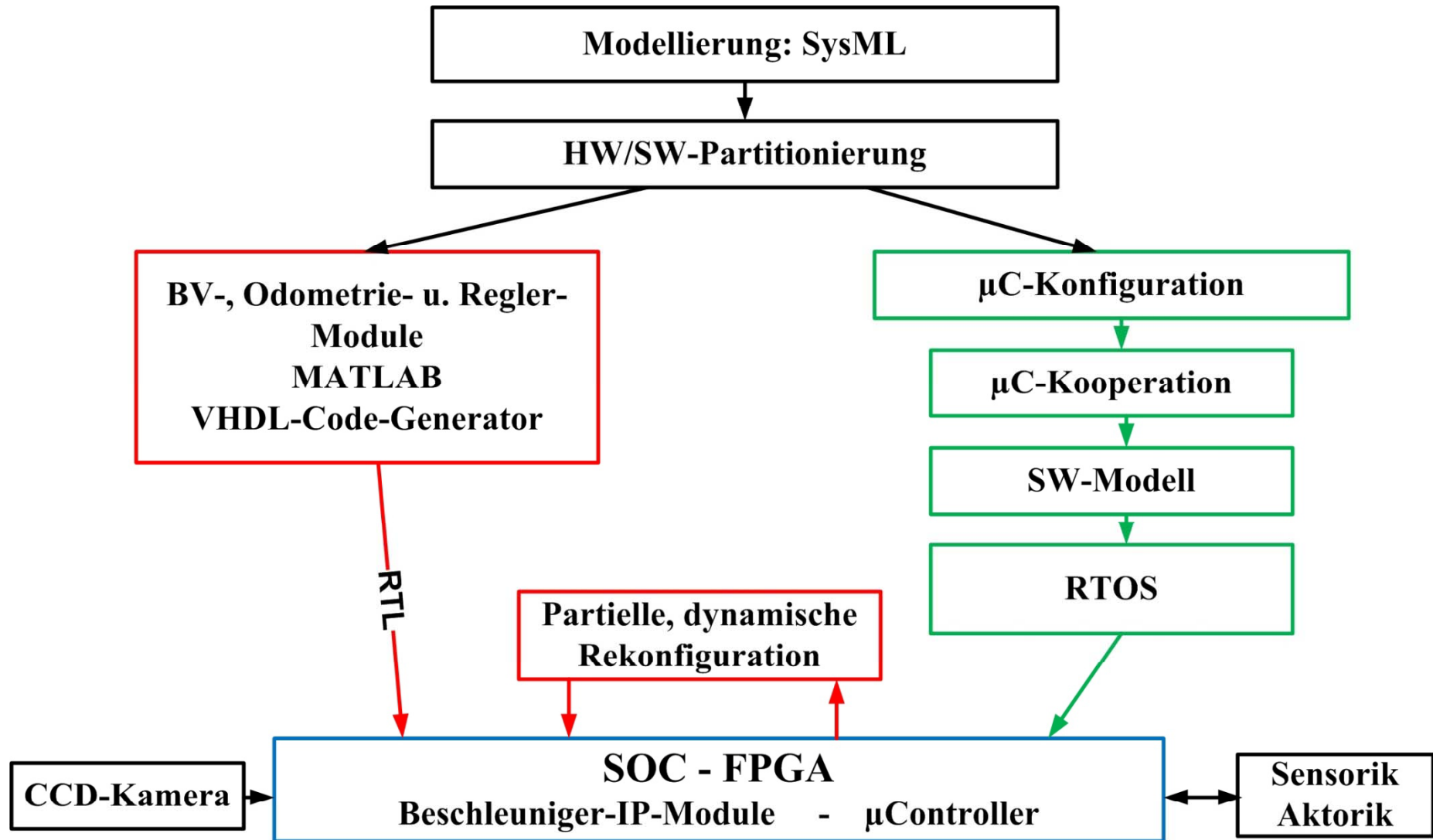
- ▶ System-on-Chip-Entwicklung für Echtzeitanwendungen
  - Datenflussanwendungen: Bildverarbeitung, Regelungstechnik
  - HW/SW-Codesign für FPGAs mit  $\mu$ Prozessoren
  - Modellbasierte VHDL-Codegenerierung für Beschleunigermodule
  - SW-Module als Tasks in RTOS integriert
- ▶ Verwendung im Projekt:
  - Fz-Bahnführung mit CCD-Kamera u. Laserscanner

# Autonome Bahnführung

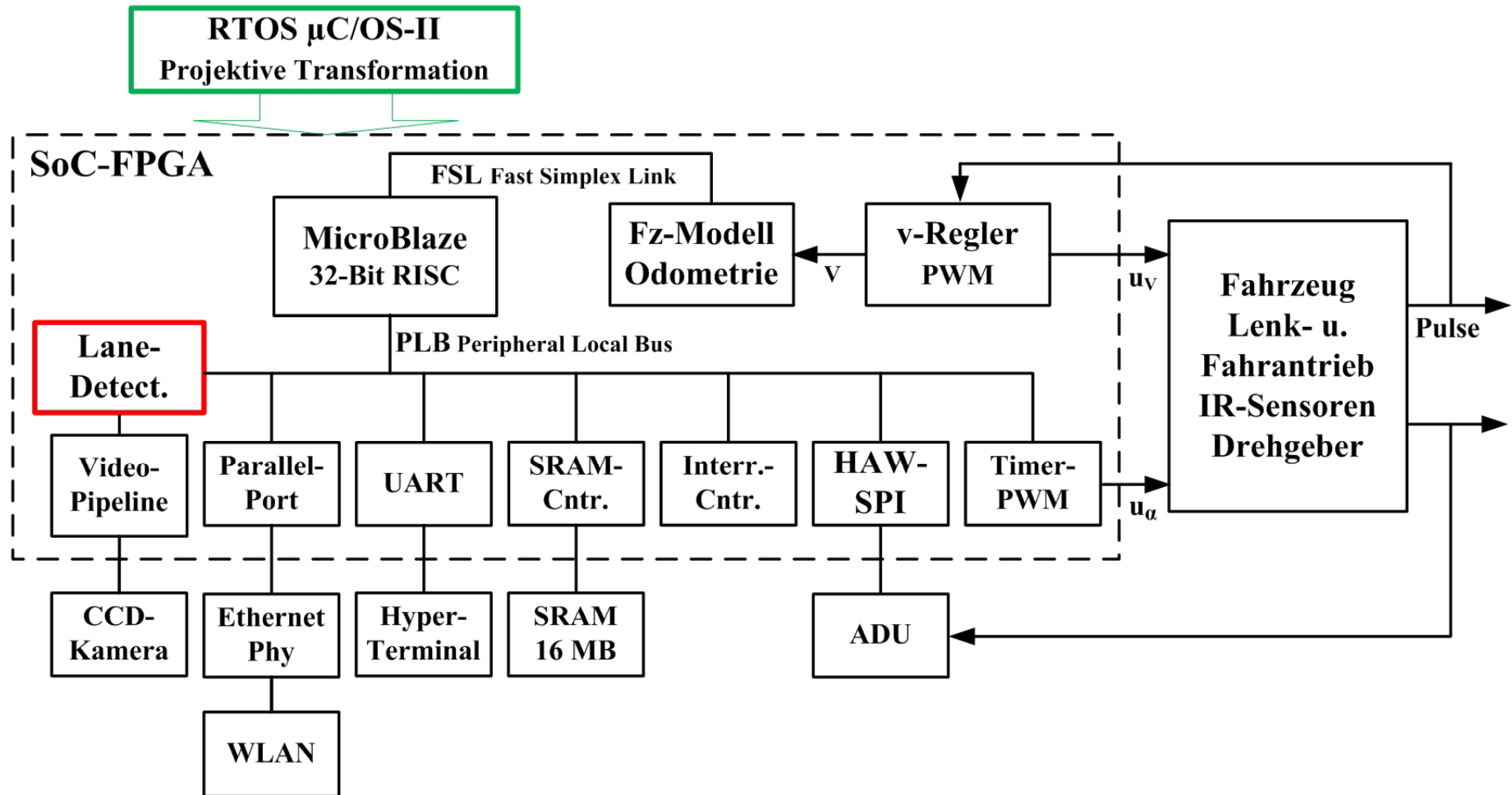


# Ausgangspunkt: Verteilte Rechnerplattform



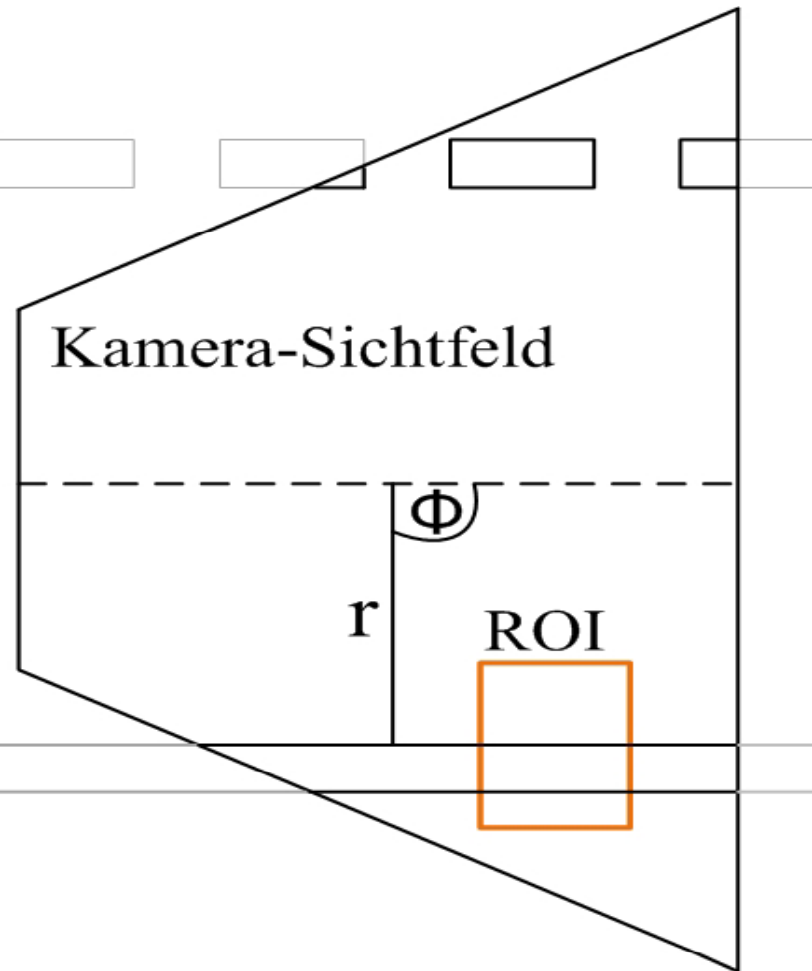


# FPGA-Plattform



# Fahrspurperspektive

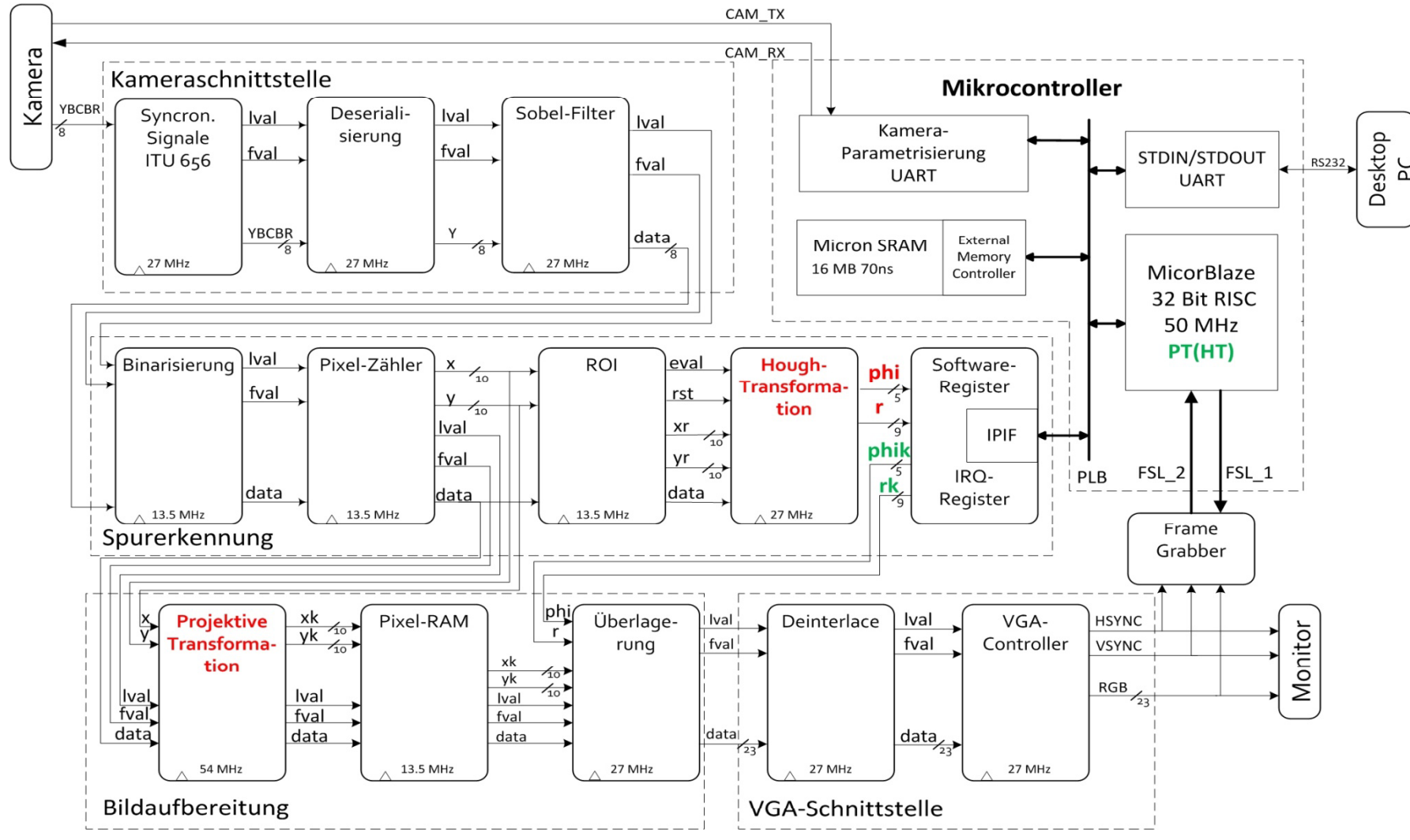
Fahrbahnmarkierung



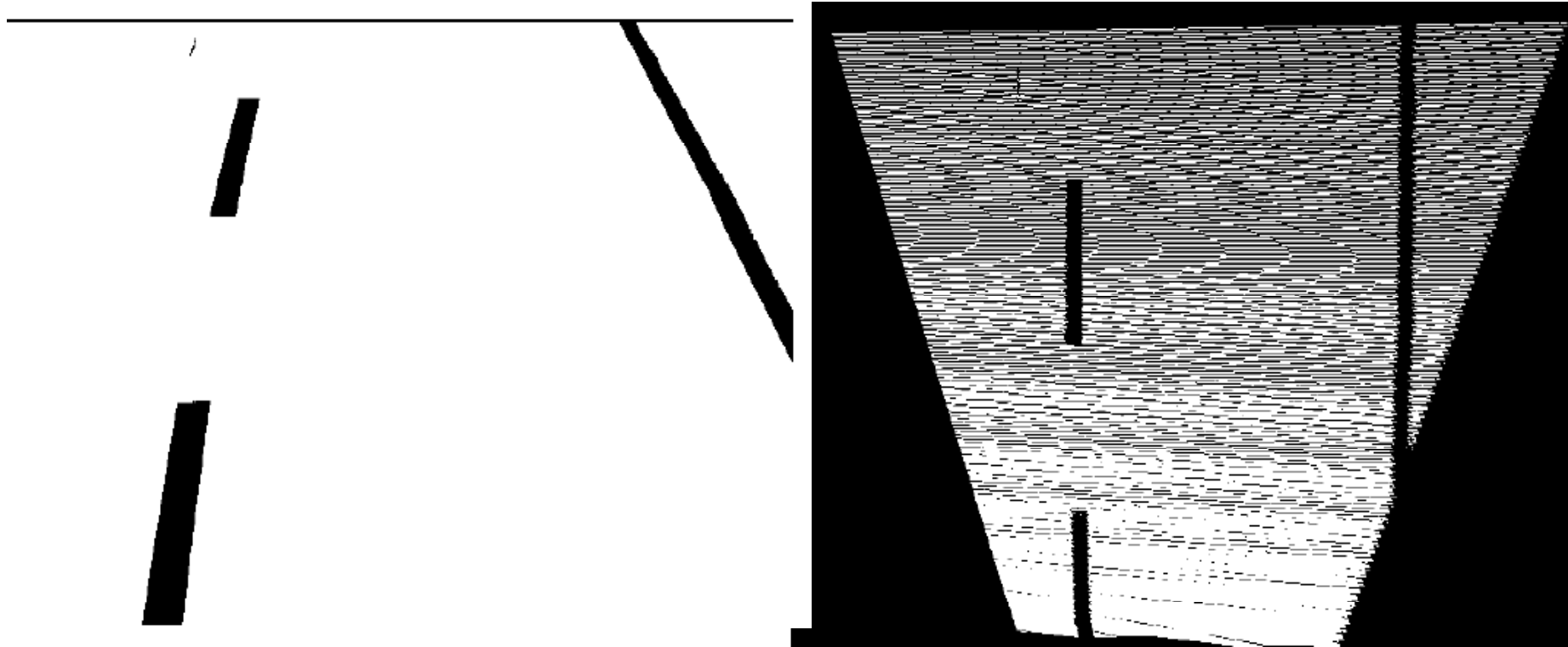


# Fahrspurerkennung

- ▶ Geradenapproximation mit der Hough-Transformation
  - Erster Schritt in Richtung Polynomapproximation
  - Datenmengen-Verdichtung auf: Lotlänge  $r$  und Winkel  $\Phi$   
 $r = x \cos \Phi + y \sin \Phi$
  - Verwendung in Navigation z.B. mit Pure Pursuit
- ▶ Perspektivische Entzerrung
  - Fahrspurszene in Bildaufsicht
  - Unverfälschte Lagekoordinaten
  - Grundlage für Zielpunktvorgaben

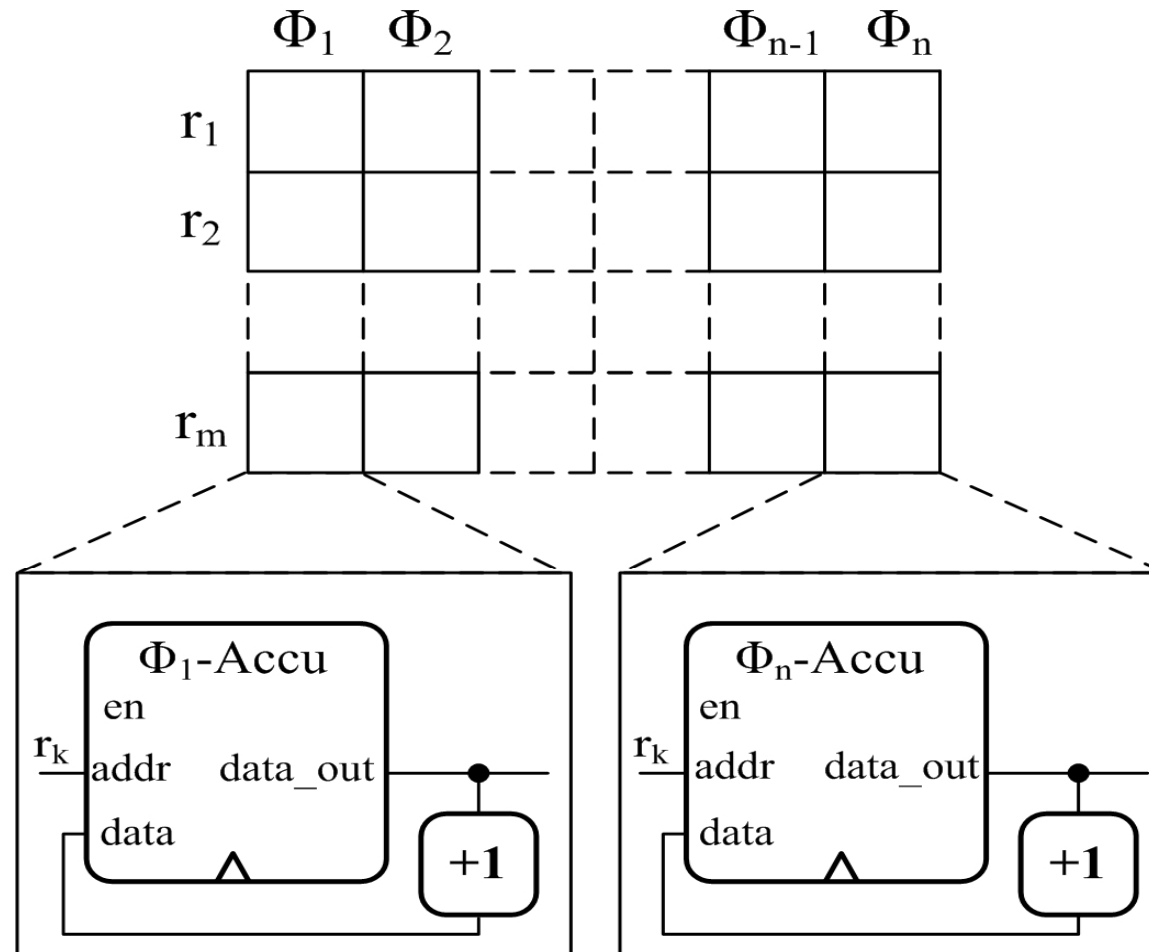


# Perspektivische Entzerrung

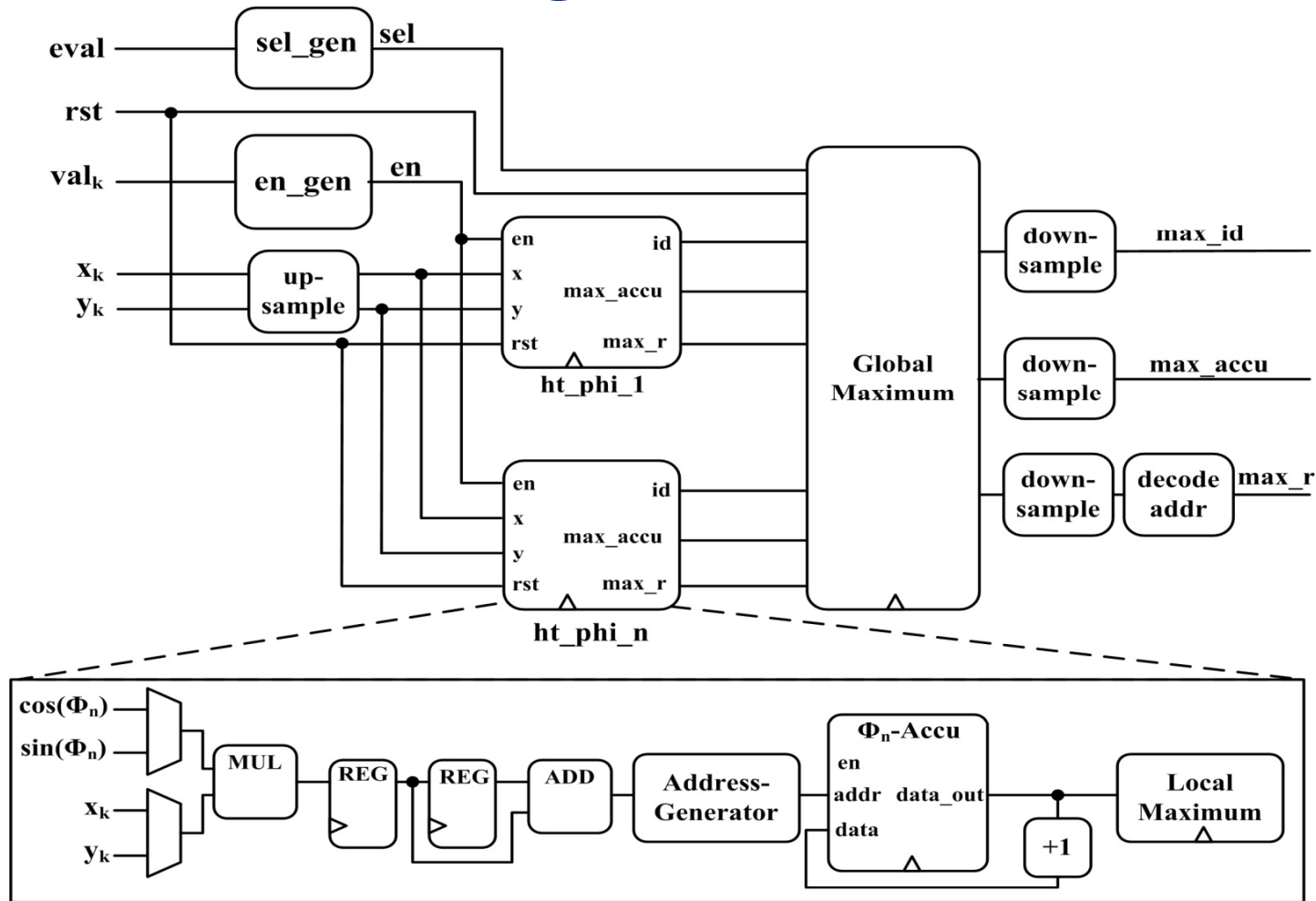


Koordinatentransformation der Pixel

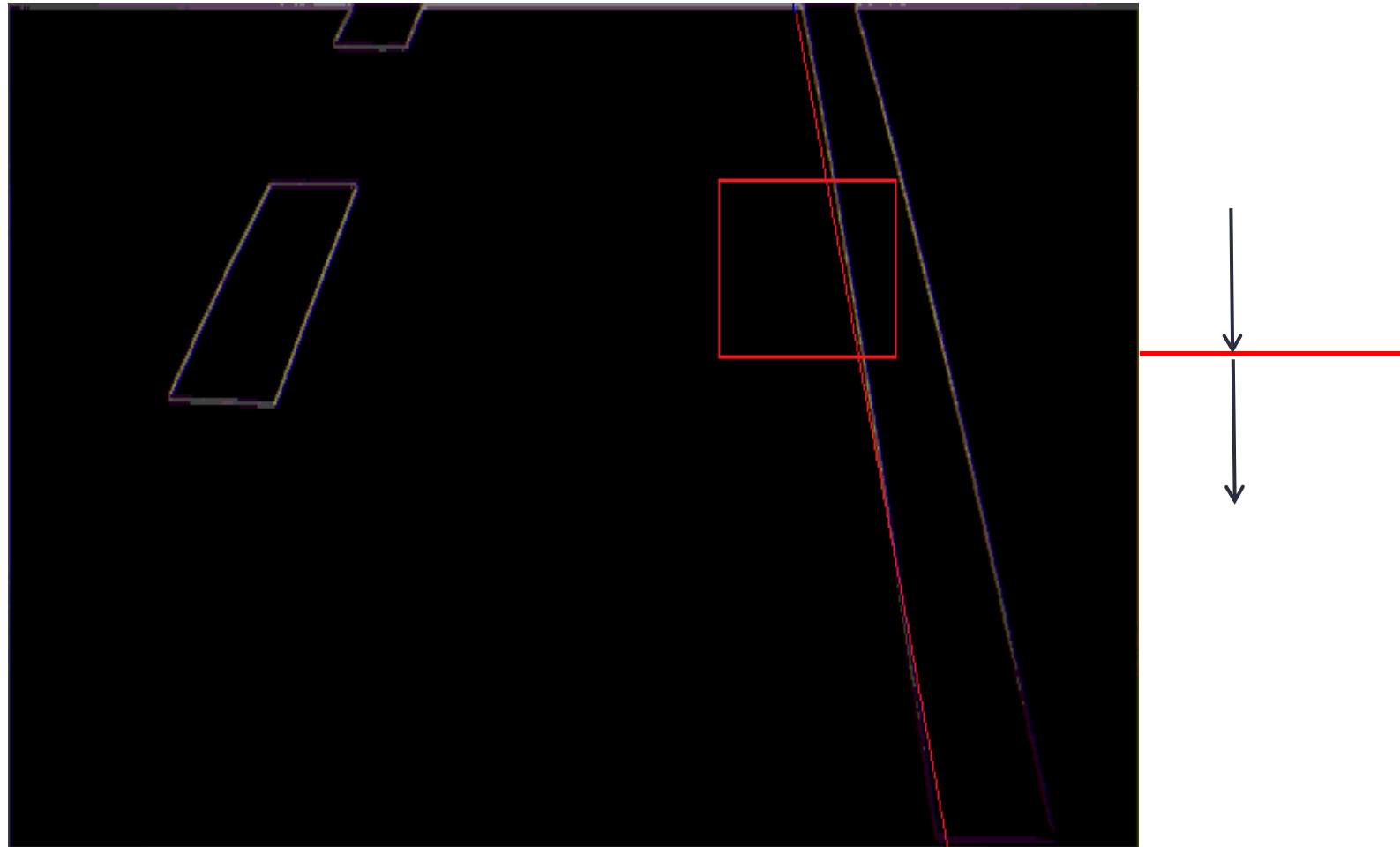
# Diskretisierte Hough-Ebene



# Parallele Hough-Transformatoren

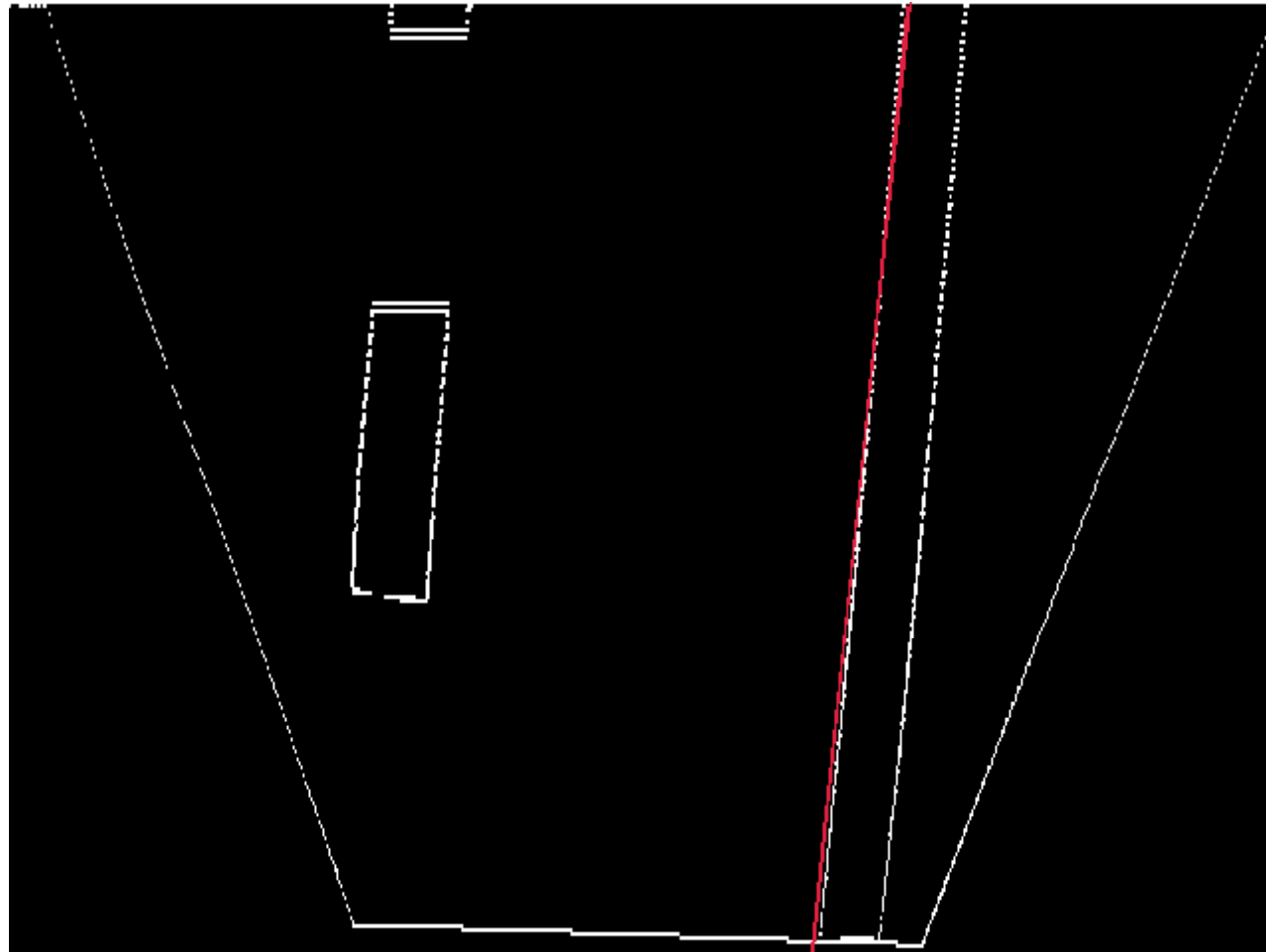


# Hough-Transformation



Originalbild mit überlagerter Geradenapproximation aus HT

# Hough-Transformation



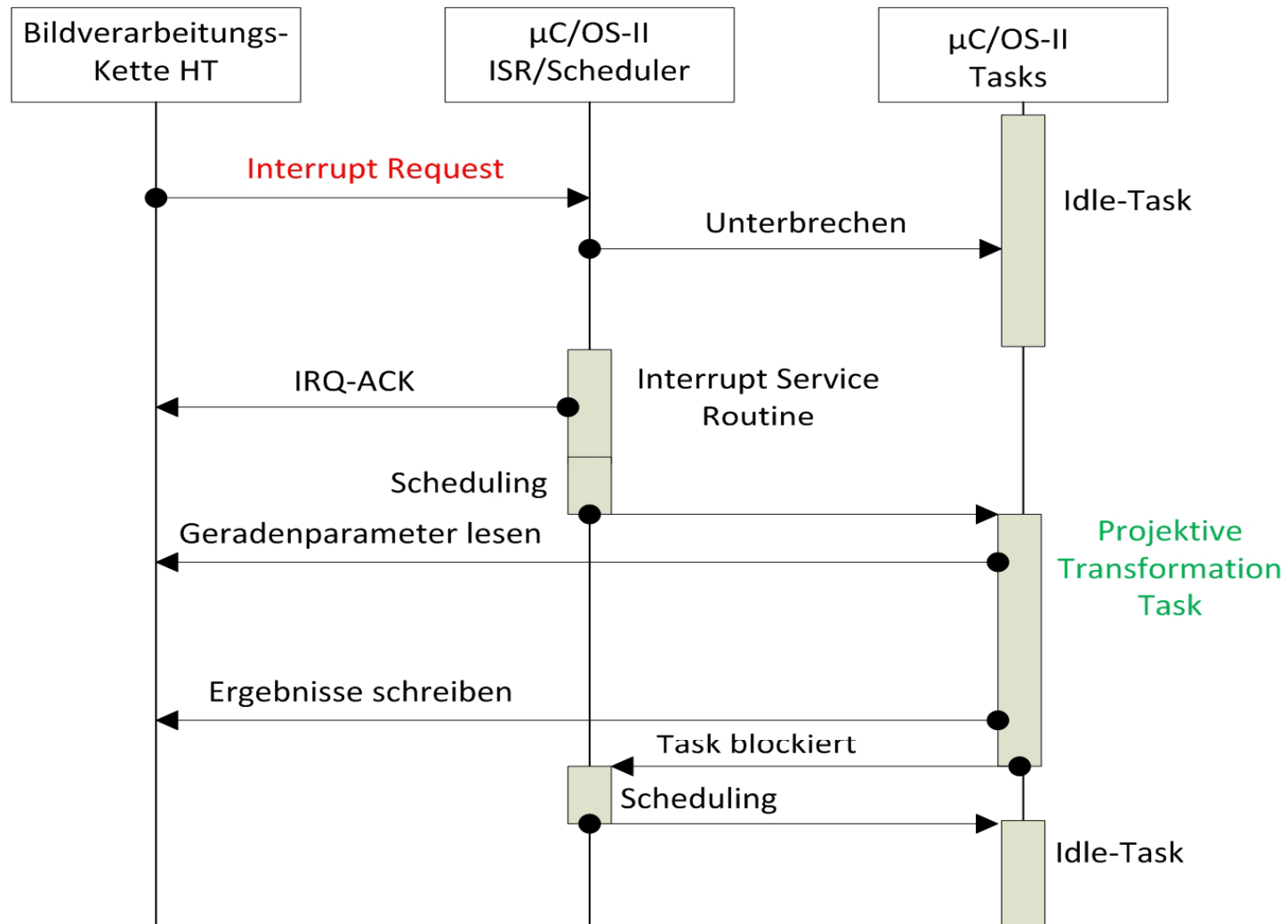
Perspektivisch entzerrtes Bild mit überlagerter, entzerrter Geradenapproximation

## Latenzen der BV-Kette

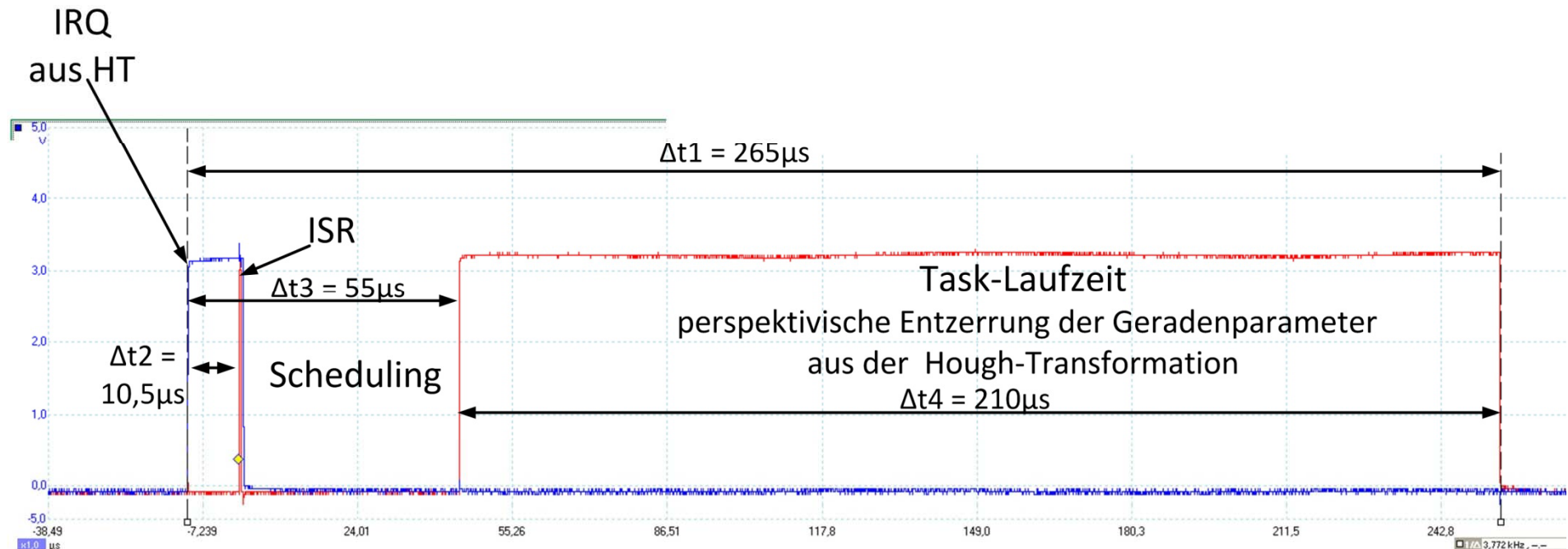
	Latenz	Bemerkung
Synchronisationssignale	74ns	2 Takte (27 MHz)
Deserialisierung	111ns	3 Takte (27 MHz)
Sobel-Filter	<b>127µs</b>	2 Bildzeilen
Binarisierung	74ns	1 Takt (13,5 MHz)
Pixel-Zähler	148ns	2 Takte (13,5 MHz)
Region of Interest	74ns	1 Takt (13,5 MHz)
Hough-Transformation	889ns	5 Takte: Berechnung + Speicher (27 MHz) + 19 Takte: Maximumsuche (27 MHz)



# HW-SW-Kommunikation

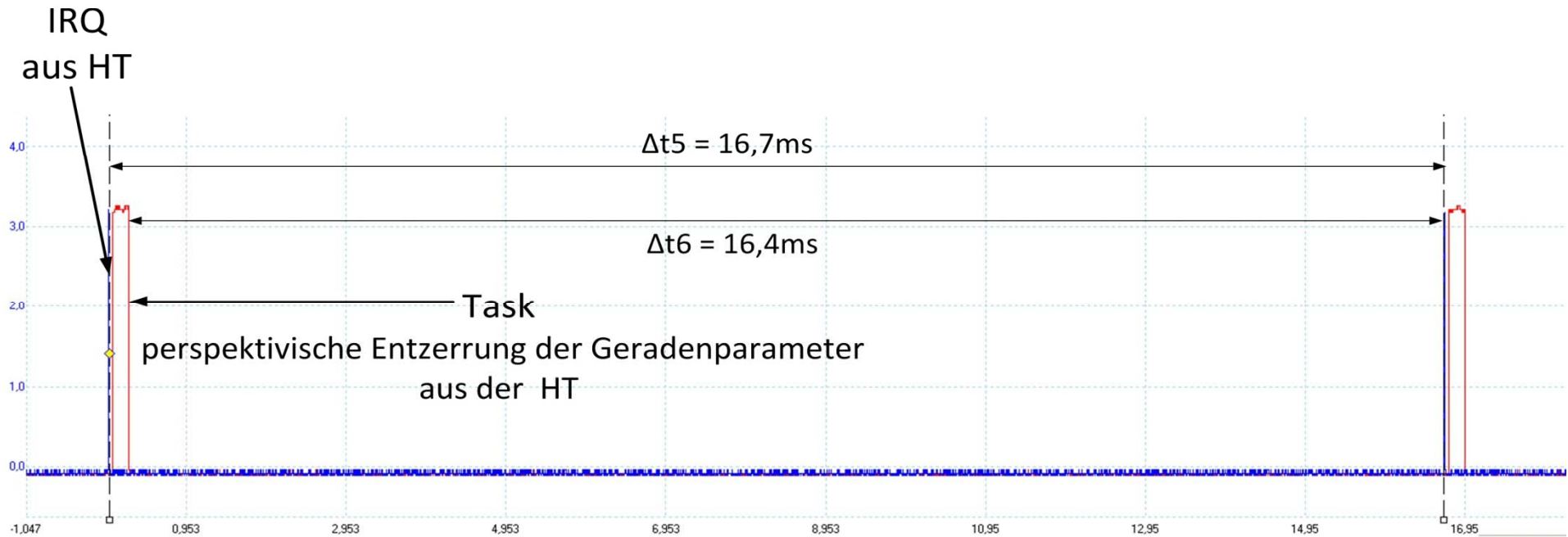


# Kommunikations-Zeitverhalten



- Interrupt- und Scheduling-Latenz können durch frühzeitigen IRQ aus der BV-Pipeline kompensiert werden: 20% Verkürzung der Reaktionszeit.

# Periodizität der Bildverarbeitung



# Ressourcen-Bedarf im XC3S1200E

	Belegt	Verfügbar	%
Slices	7475	8672	<b>86</b>
D-Flip-Flops	6672	17344	38
Look up Tables	10876	17344	62
Block RAM	28	28	100
Multiplizierer	11	28	39

# Zusammenfassung

- ▶ FPGA-basierter SoC-Entwurf
- ▶ Beispiel für eine SoC-Plattform
- ▶ Bildverarbeitungspipeline zur Hough-Transformation
- ▶ Timing-Analyse für eine Interrupt-gesteuerte Beschleuniger- $\mu$ Controller Kommunikation

Jürgen Reichardt | Bernd Schwarz

## VHDL-Synthese

Entwurf digitaler Schaltungen und Systeme



6. Auflage Mai 2011

Erweiterung:

- systolische Filter
- Zustandsgleichungen linear und nichtlinear

