

Echtzeitrechnerarchitektur mit exakt vorhersehbarer Befehlsverarbeitung

Echtzeit 2008
Boppard

Helmut Stieger
Fernuniversität in Hagen

helmut.stieger@fernuni-hagen.de

Einleitung

Störfaktoren vorhersehbarer Befehlsverarbeitung

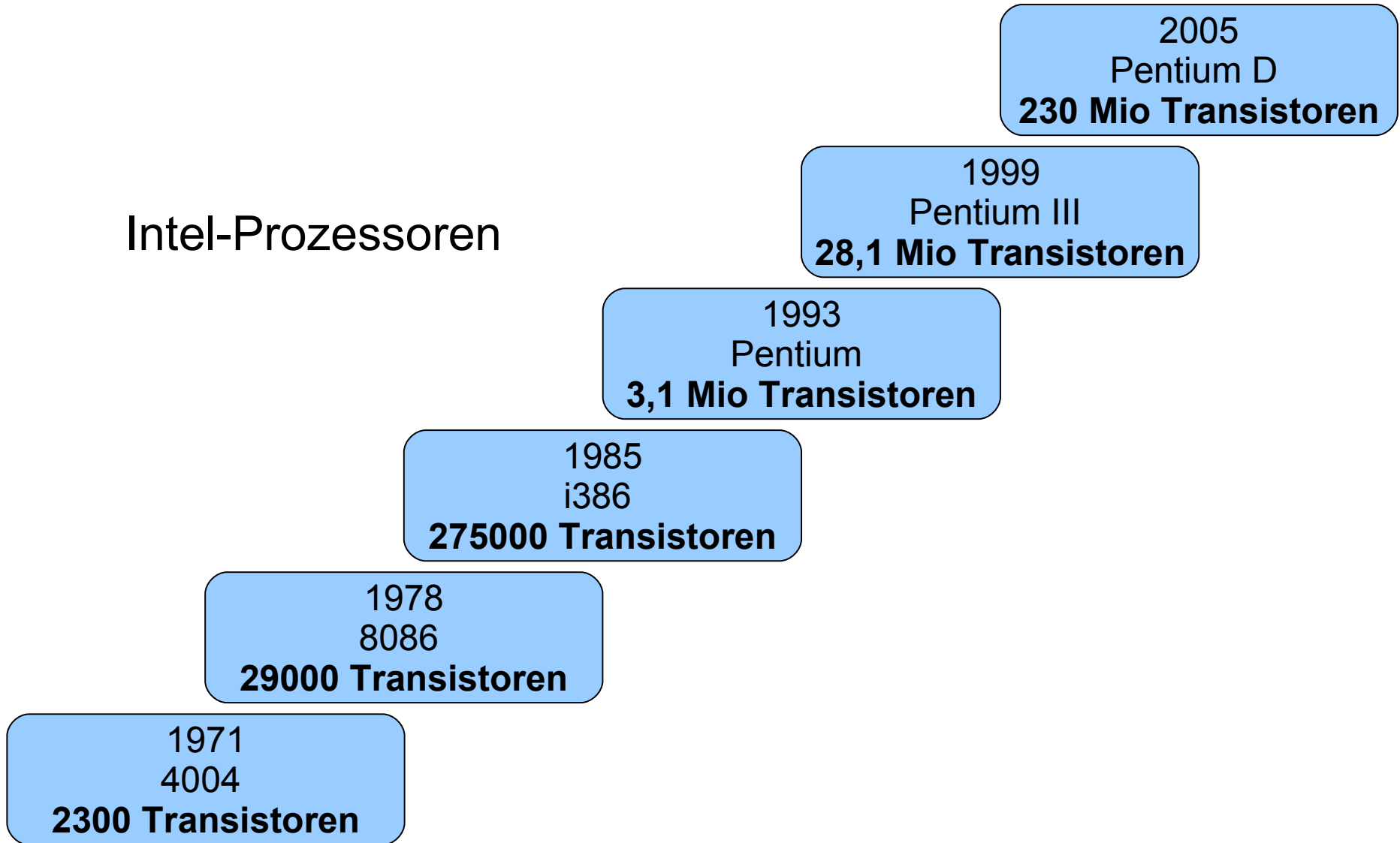
Echtzeitrechnerarchitektur mit exakt vorhersehbarer
Befehlsverarbeitung

Zweistufige Leistungsabsenkung

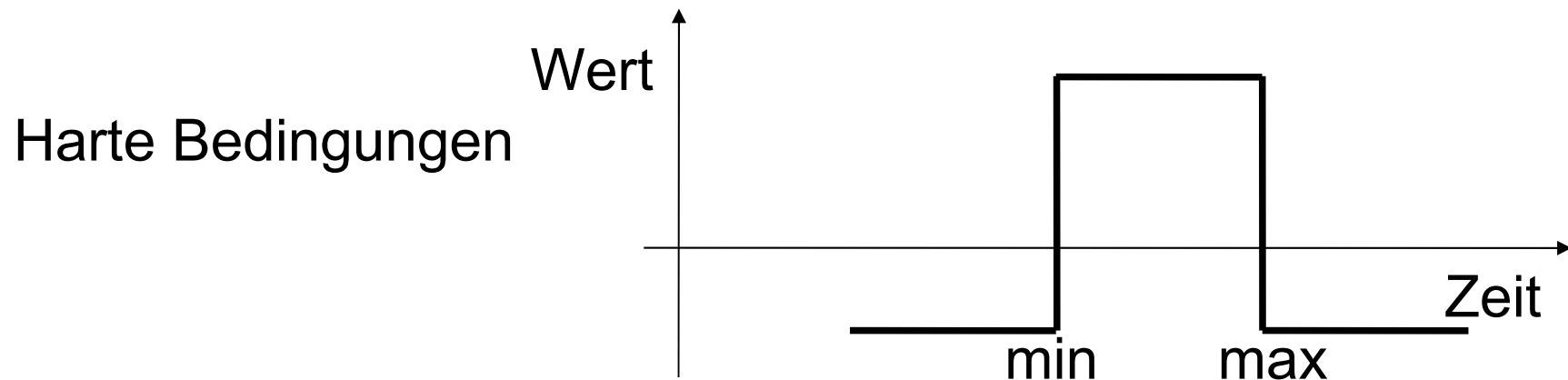
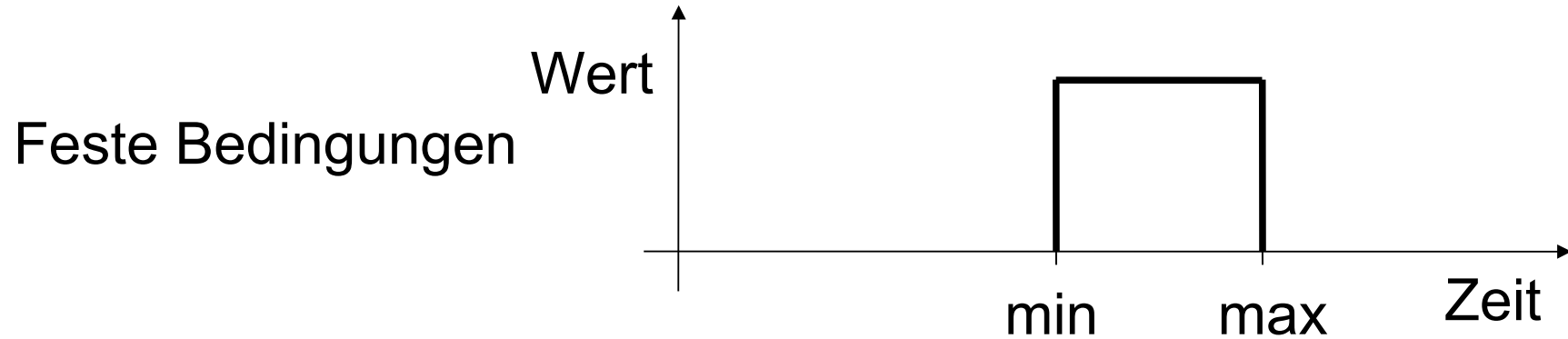
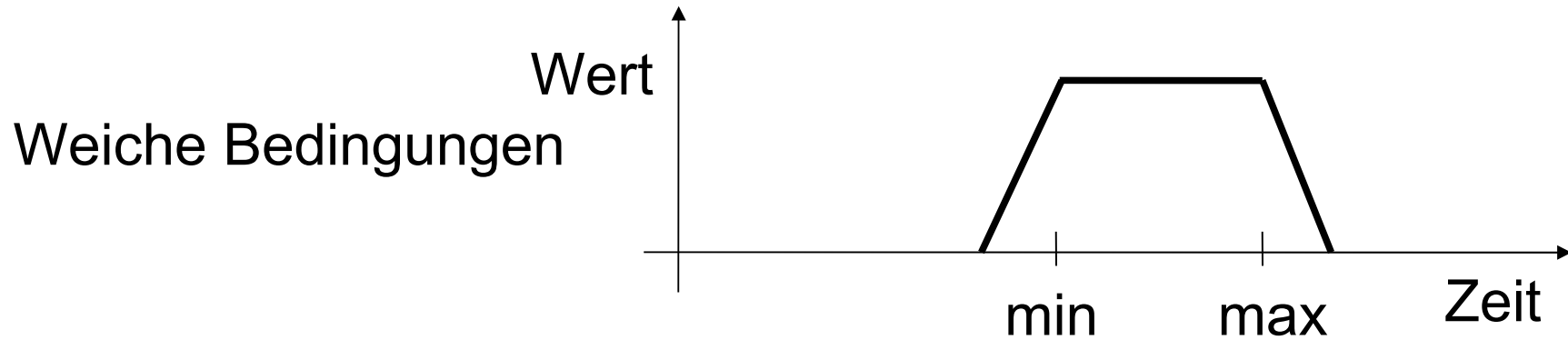
Zusammenfassung

Komplexität von Rechnersystemen

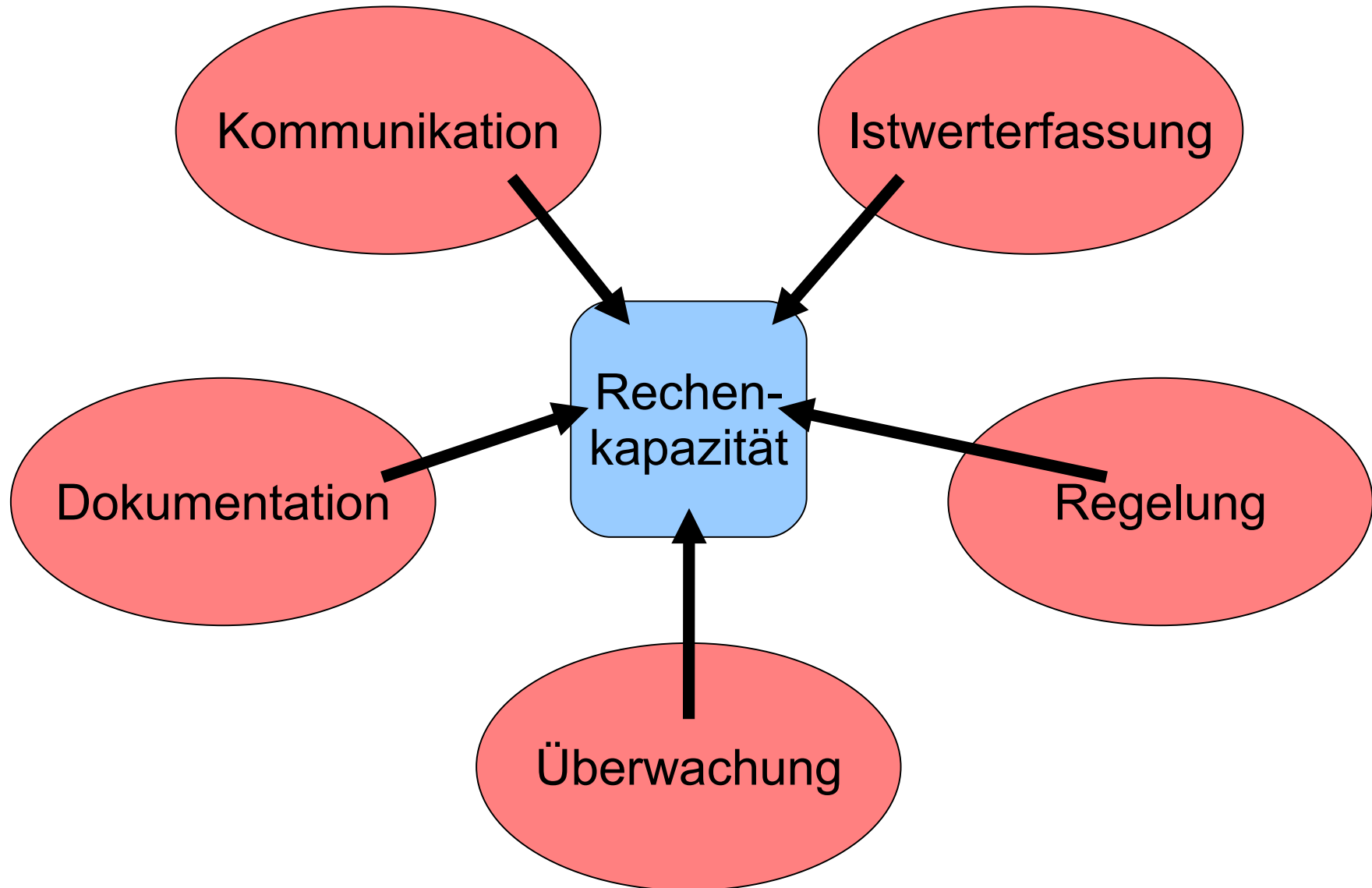
Intel-Prozessoren



Wertigkeiten von Echtzeitbedingungen



Prozesse



Einleitung

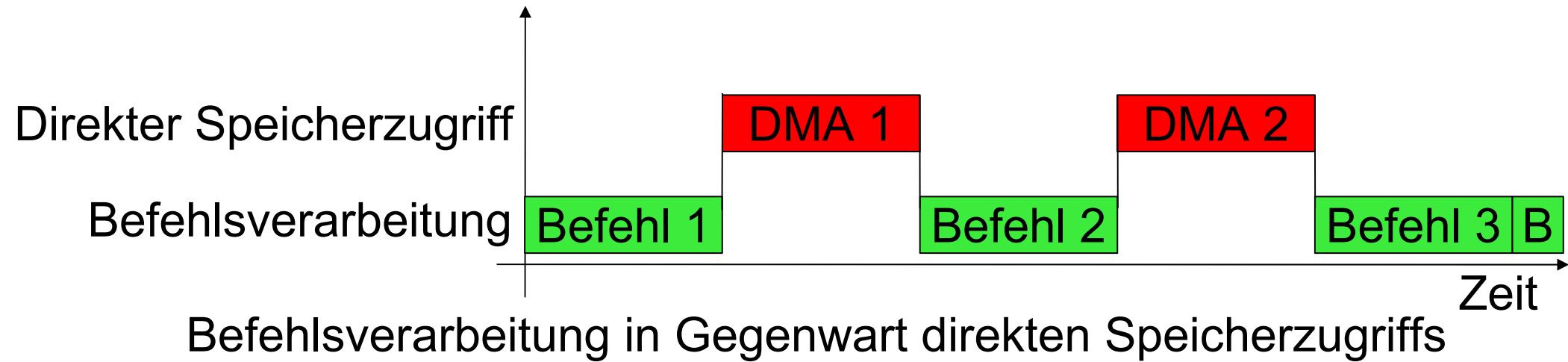
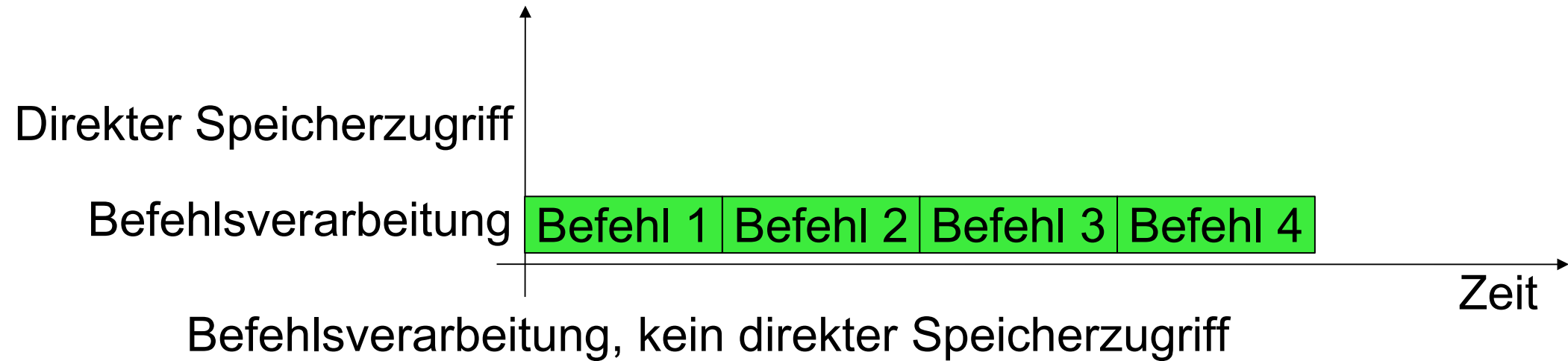
Störfaktoren vorhersehbarer Befehlsverarbeitung

Echtzeitrechnerarchitektur mit exakt vorhersehbarer
Befehlsverarbeitung

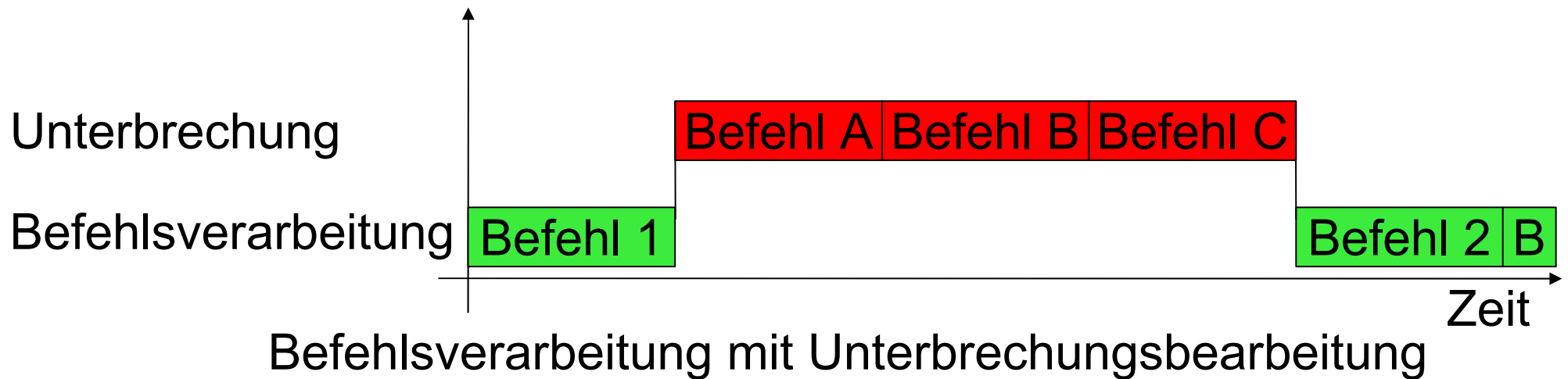
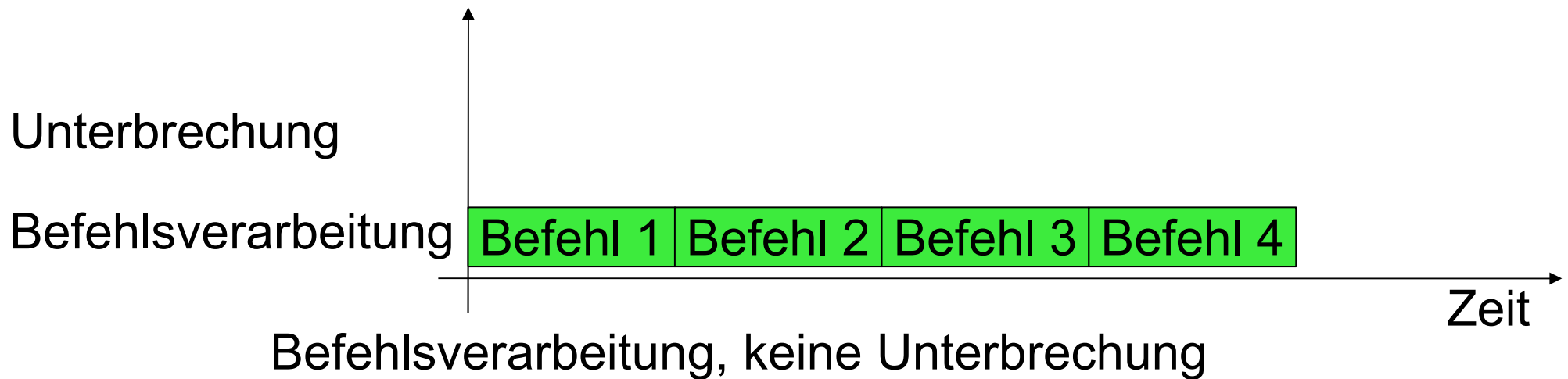
Zweistufige Leistungsabsenkung

Zusammenfassung

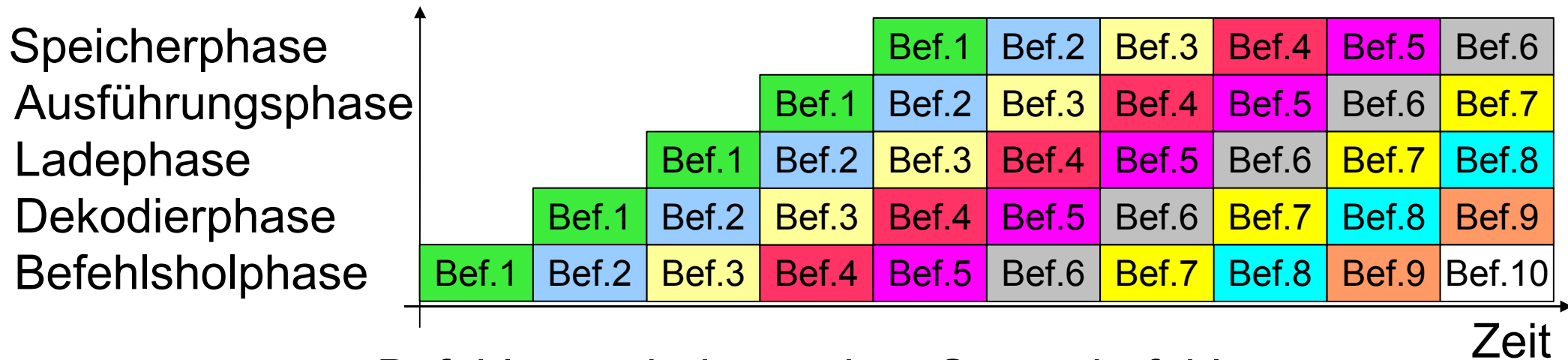
Direkter Speicherzugriff (DMA)



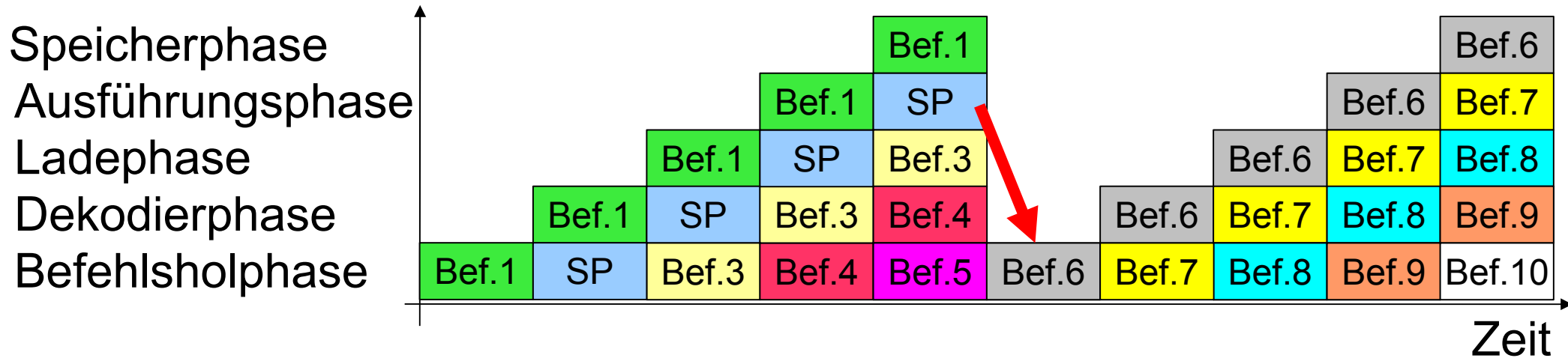
Unterbrechungsbetrieb



Fließbandverarbeitung

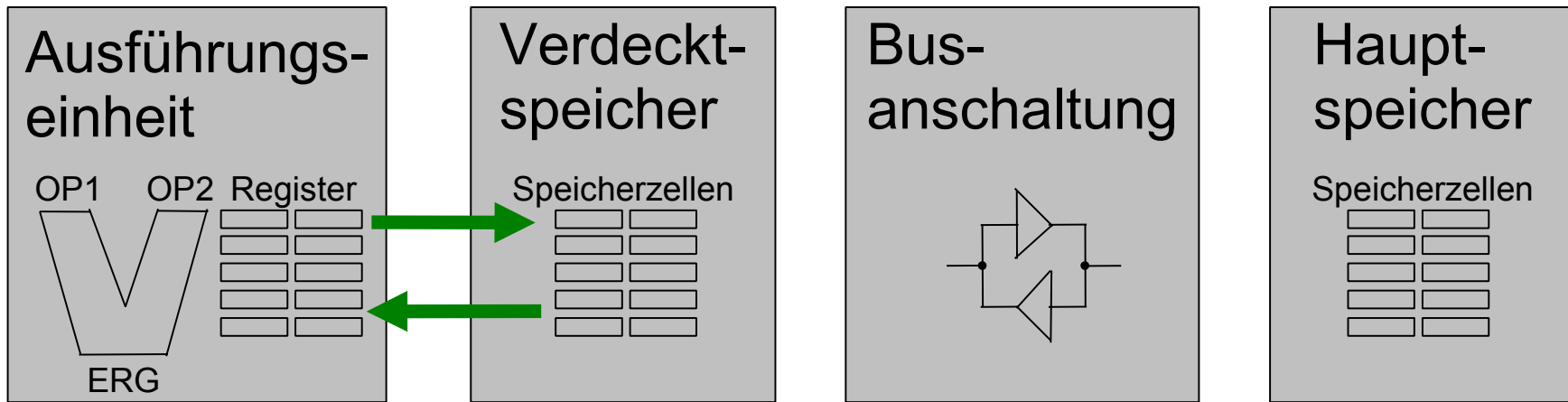


Befehlsverarbeitung ohne Sprungbefehl

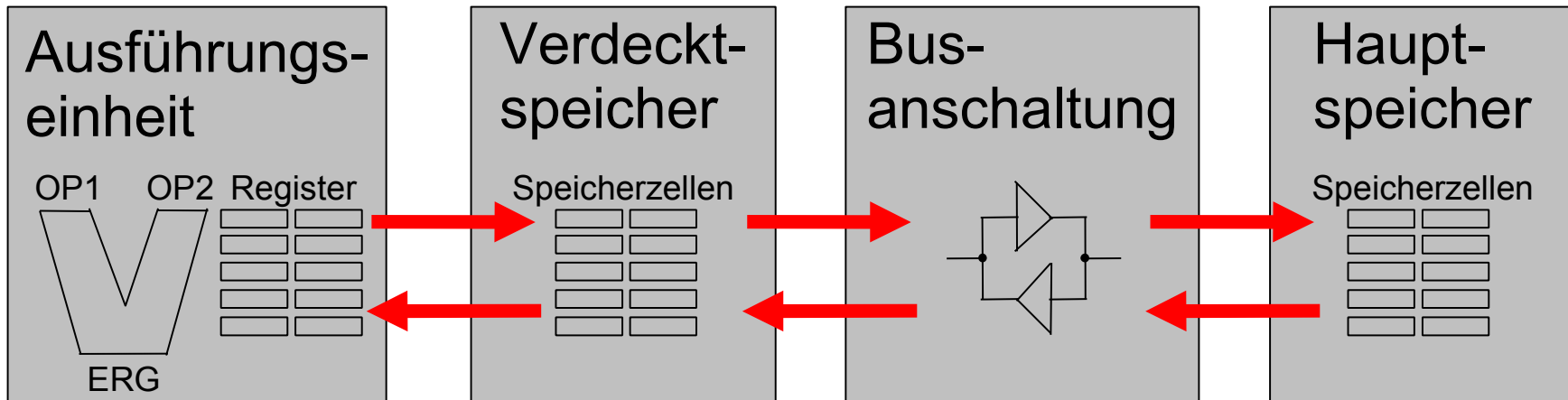


Befehlsverarbeitung mit Sprungbefehl

Verdecktspeicher (Cache)



Kurze Zugriffszeit durch Verdecktspeicher



Verlängerte Zugriffszeit durch Rückgriff auf den Hauptspeicher

Einleitung

Störfaktoren vorhersehbarer Befehlsverarbeitung

Echtzeitrechnerarchitektur mit exakt vorhersehbarer Befehlsverarbeitung

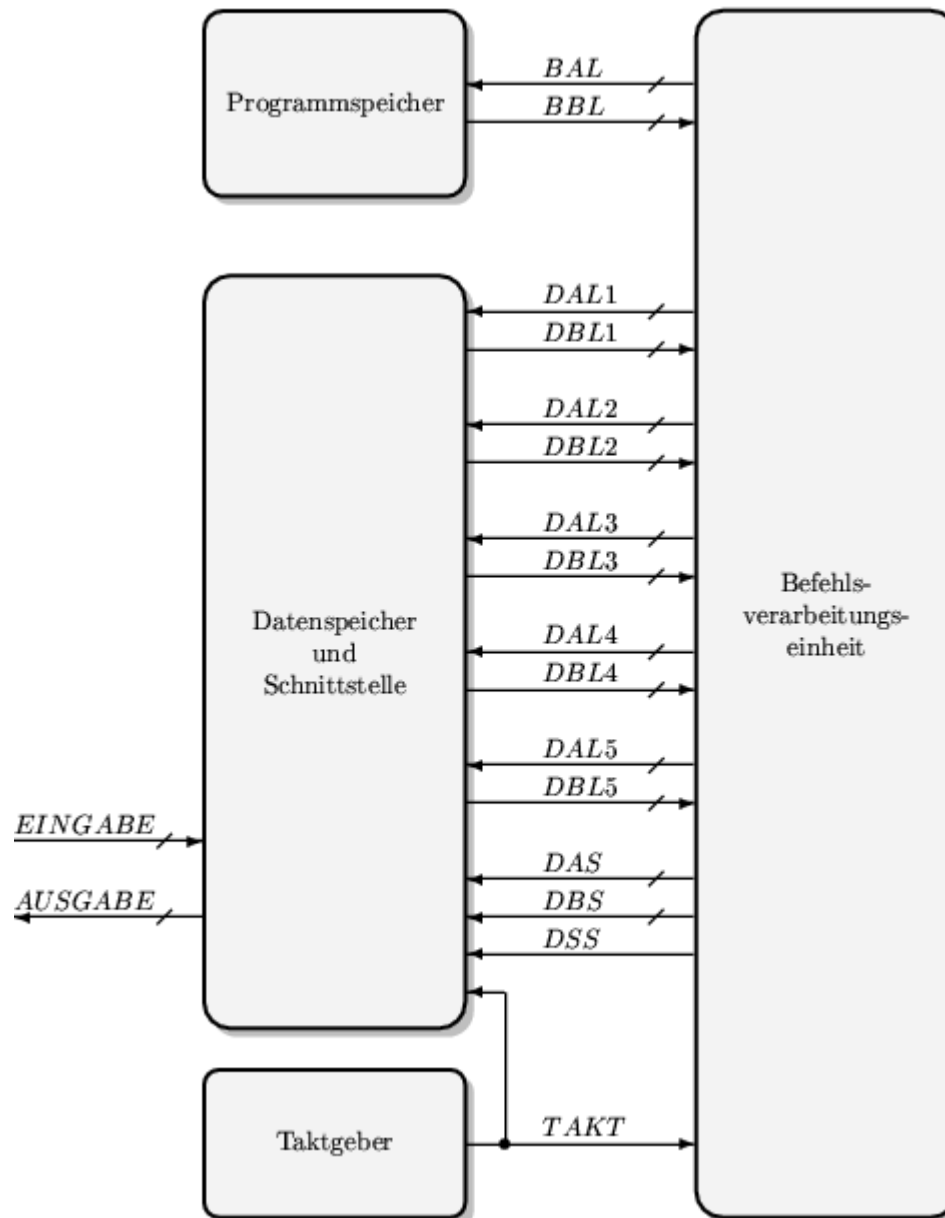
Zweistufige Leistungsabsenkung

Zusammenfassung

Motivation zur Entwicklung einer neuen Rechnerarchitektur

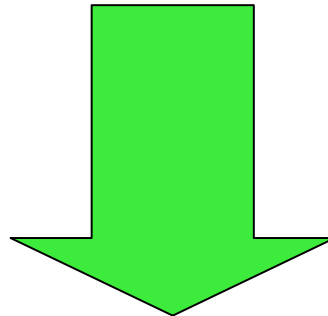
- Einfacher Aufbau mit überschaubarer Komplexität
- Zeitgemäßes registerloses Konzept
- Eignung für Echtzeitanwendungen
- Mehrprozessfähigkeit
- Vorhersehbare Befehlsverarbeitung
 - Kein direkter Speicherzugriff
 - Kein asynchroner Unterbrechungsbetrieb
 - Keine Fließbandverarbeitung
 - Kein Verdecktspeicher
- Möglichkeit zur Leistungsabsenkung

Rechnerarchitektur auf einem Chip



Vorhersehbare Befehlsverarbeitung

- Ein Befehl pro Taktzyklus
- Dreiadressbefehle
- Aktivierung logischer Schaltnetze
- Datenübernahme auf Taktsignal



- Keine Abarbeitung von Mikrocode
- Keine Abarbeitung endlicher Automaten

Adressierungsarten

- Datenverarbeitende Befehle

- Operand 1 Adressierung: unmittelbar, absolut, indirekt
- Operand 2 Adressierung: unmittelbar, absolut, indirekt
- Ergebnis Adressierung: absolut, indirekt

- Sprungbefehle

- Operand 1 Adressierung: unmittelbar, absolut, indirekt
- Operand 2 Adressierung: unmittelbar, absolut, indirekt
- Ergebnis Adressierung: aktiver Befehlszeiger

Befehlsformat

61 Bit Programmwortbreite:

- 1 Bit Adressierungsart Ergebnis: absolut, indirekt
- 16 Bit Adresse Ergebnis

- 2 Bit Adressierungsart Operand 1: unmittelbar, absolut, indirekt
- 16 Bit Operand 1 oder Adresse Operand 1

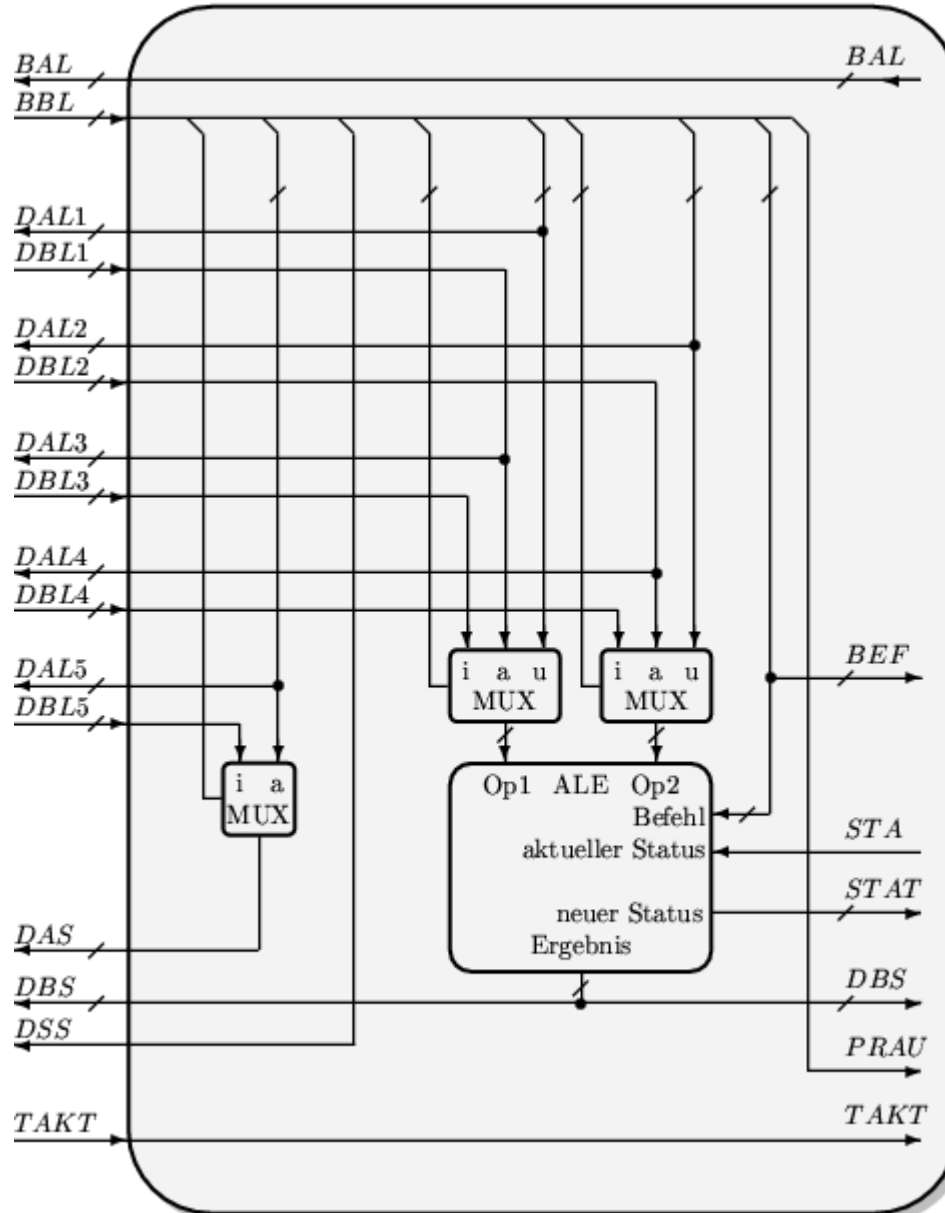
- 2 Bit Adressierungsart Operand 2: unmittelbar, absolut, indirekt
- 16 Bit Operand 2 oder Adresse Operand 2

- 1 Bit Prozessauswahl unterdrücken

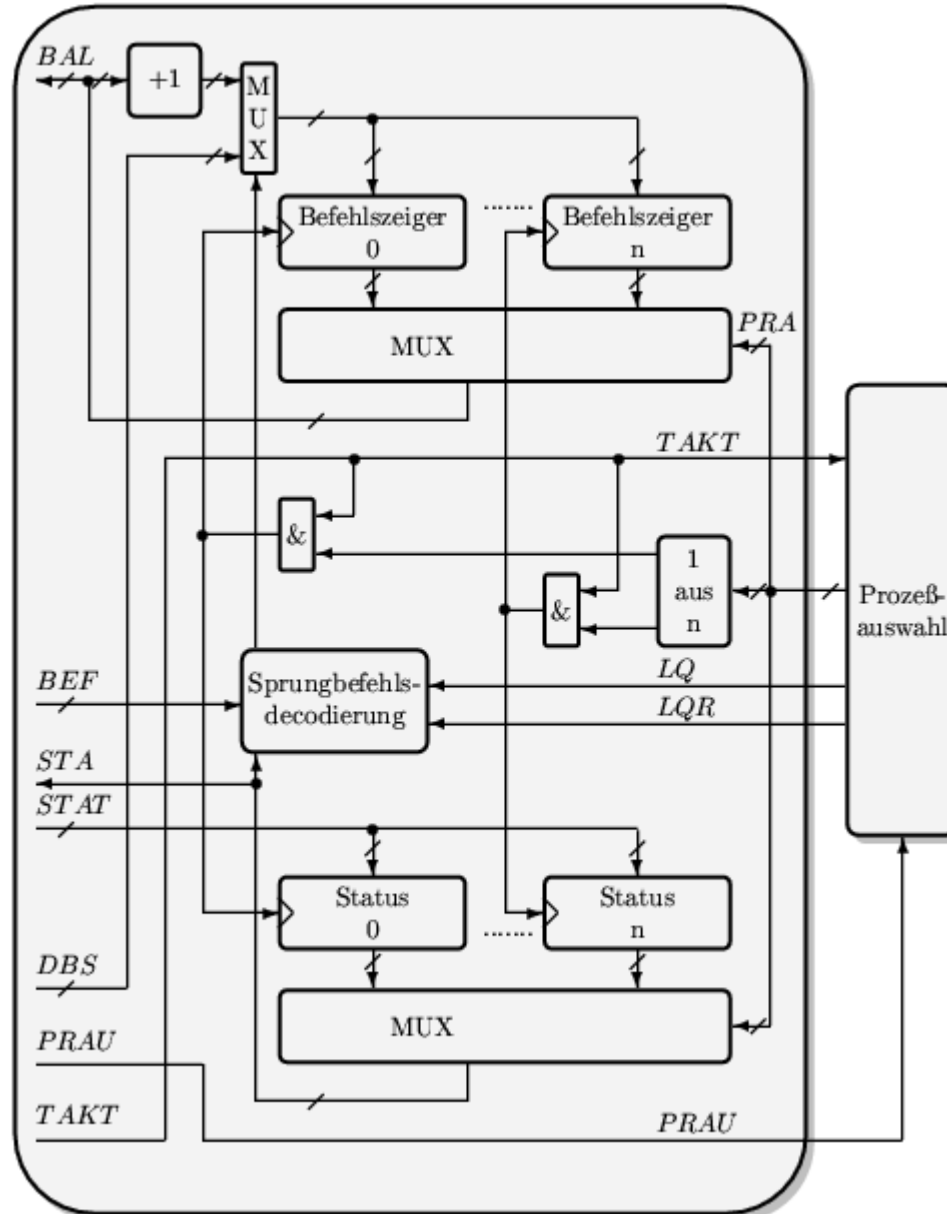
- 1 Bit Daten in Ergebnisvariable übernehmen

- 6 Bit Befehlscode

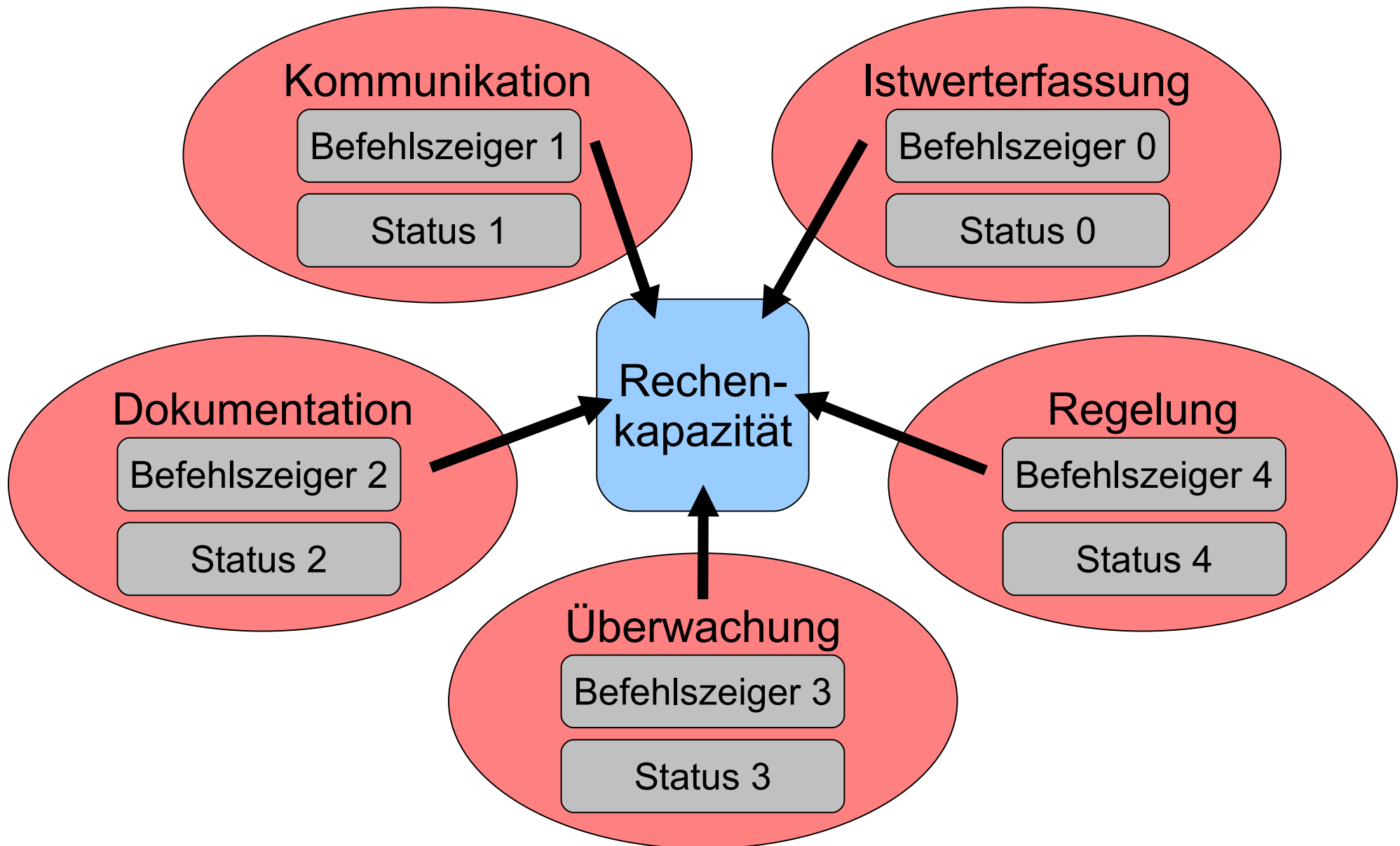
Befehlsverarbeitungseinheit 1



Befehlsverarbeitungseinheit 2



Separater Befehlszeiger und Status für jeden Prozess



Implementierte Befehle

• Zuweisungsbefehl		ZUW	
• Addition ohne/mit Übertrag		ADD	ADDU
• Subtraktion ohne/mit Borger		SUB	SUBU
• Bit-weise Konjunktion/Disjunktion		UND	ODER
• Bit-weise Antivalenz		XODER	
• Rotieren links/durch Übertrag		RL	RLU
• Rotieren rechts/durch Übertrag		RR	RRU
• Schieben links logisch/arithmetisch		SLL	SLA
• Schieben rechts logisch/arithmetisch		SRL	SRA
• Unbedingter/bedingter Sprungbefehl		SP	
SP_UET	SP_N_UET	SP_UEL	SP_N_UEL
SP_NEG	SP_POS	SP_NULL	SP_N_NULL
SP_G	SP_N_G	SP_KL	SP_KLG
SP_GR	SP_GRG	SP_KL2	SP_KLG2
SP_GR2	SP_GRG2	SP_LQ	SP_LQR

Einleitung

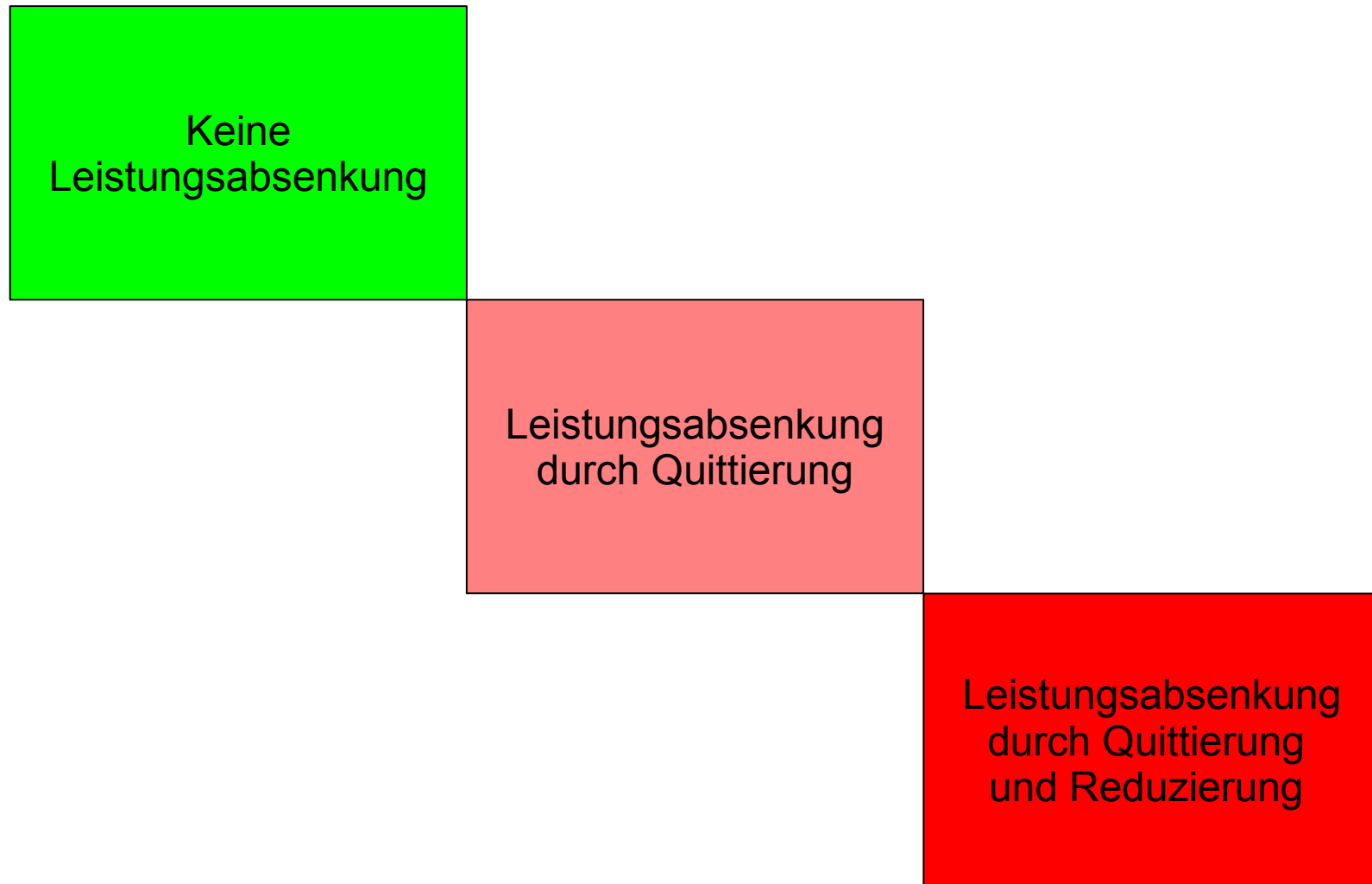
Störfaktoren vorhersehbarer Befehlsverarbeitung

Echtzeitrechnerarchitektur mit exakt vorhersehbarer
Befehlsverarbeitung

Zweistufige Leistungsabsenkung

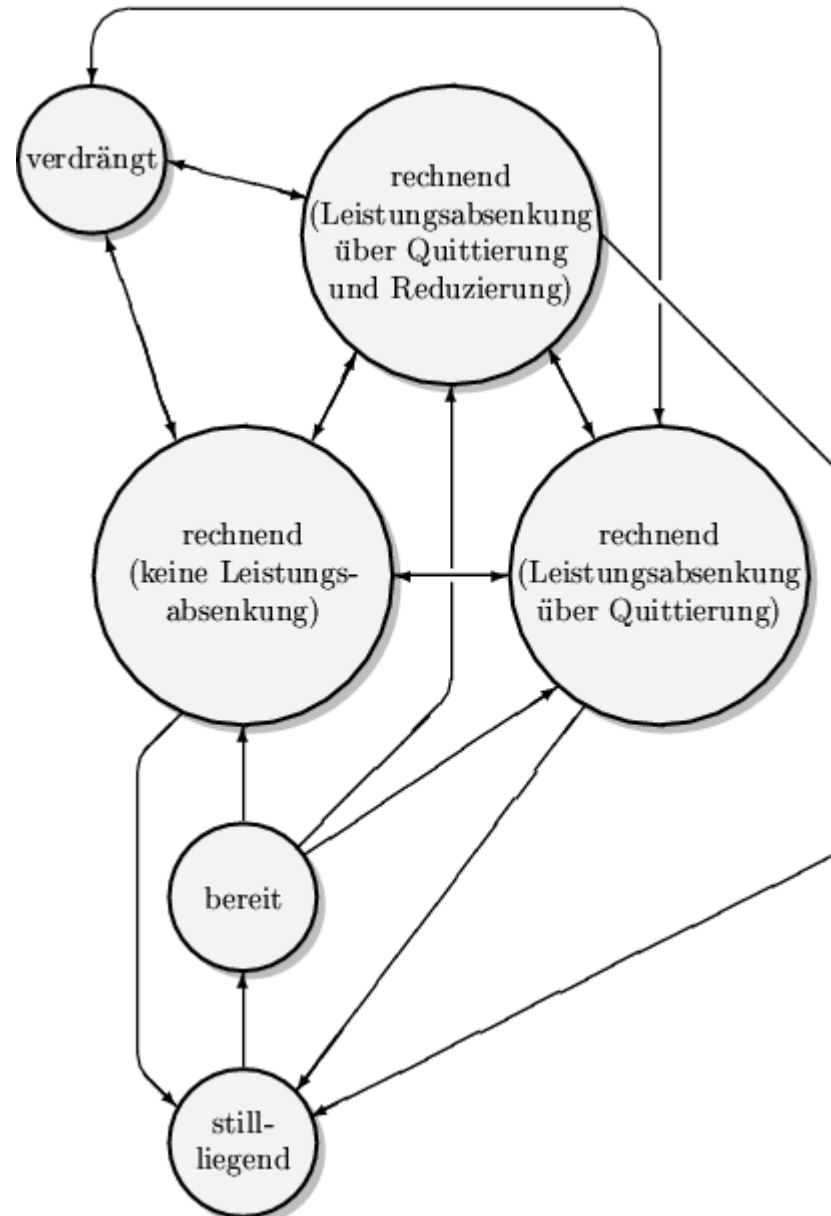
Zusammenfassung

Zweistufige Leistungsabsenkung

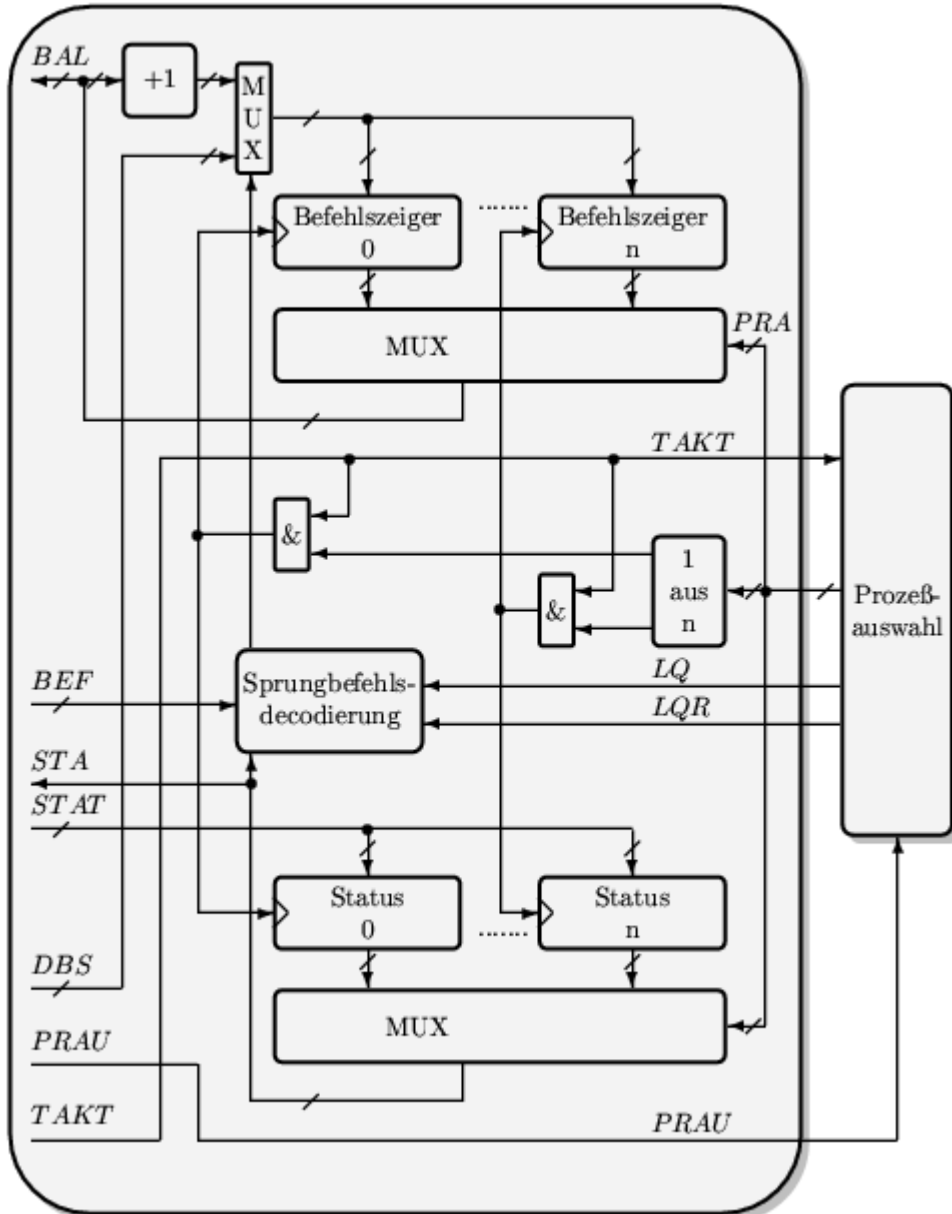


„Erst das Unnötige weglassen, dann das Verbleibende möglichst abkürzen“

Neues Prozessmodell



Gesteuerte Leistungsabsenkung durch Prozessauswahleinheit



- Prozessausführungszeiten bekannt
- Prozessauswahl
- Prioritätsgesteuerte Leistungsabsenkung

Entwicklungsphase

Einleitung

Störfaktoren vorhersehbarer Befehlsverarbeitung

Echtzeitrechnerarchitektur mit exakt vorhersehbarer
Befehlsverarbeitung

Zweistufige Leistungsabsenkung

Zusammenfassung

Status und Ausblick

Die hier vorgestellte Echtzeitrechnerarchitektur bietet bei überschaubarer Komplexität vorhersehbare Befehlsverarbeitung.

Sie ist mehrprozessfähig und stellt inhärent die Möglichkeit der Leistungsabsenkung zur Verfügung.

Die zur prioritätsgesteuerten Leistungsabsenkung notwendige Prozessauswahleinheit ist Ziel der weiteren Entwicklung.

Vielen Dank für Ihre Aufmerksamkeit!

Echtzeit 2008
Boppard

Helmut Stieger
Fernuniversität in Hagen

helmut.stieger@fernuni-hagen.de